

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

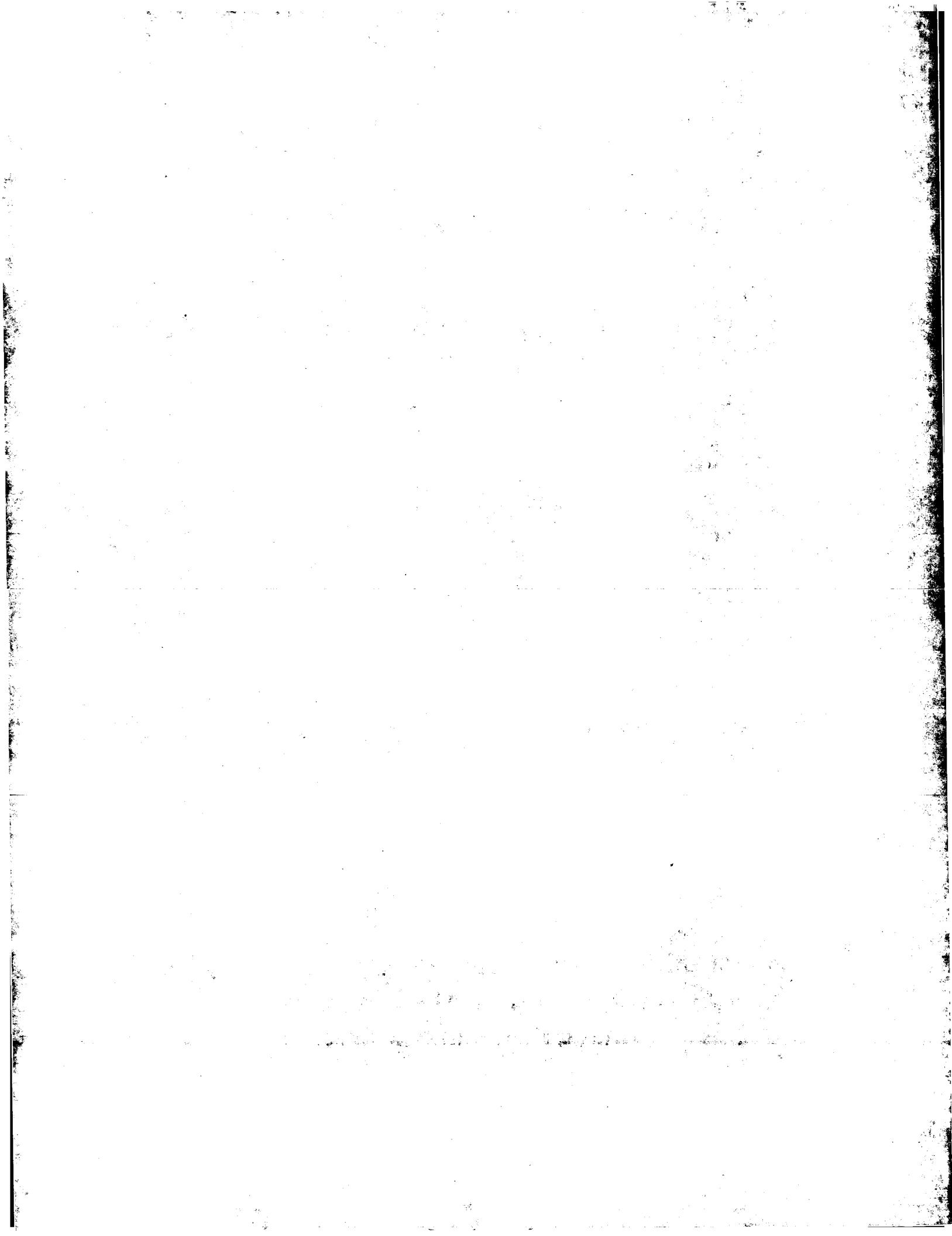
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



*No abstract
avail.*

DIALOG(R) File 345:Inpadoc/Fam.& Legal Stat
(c) 2004 EPO. All rts. reserv.

15937434

Basic Patent (No,Kind,Date): EP 1003197 A2 20000524 <No. of Patents: 004>

Patent Family:

Patent No	Kind	Date	Applie No	Kind	Date	
<u>EP 1003197</u>	A2	20000524	EP 99309163	A	19991117	(BASIC)
EP 1003197	A3	20010418	EP 99309163	A	19991117	
JP 2000215789	A2	20000804	JP 99319396	A	19991110	
JP 3135118	B2	20010213	JP 99319396	A	19991110	

Priority Data (No,Kind,Date):

JP 98328586 A	19981118
JP 99319396 A	19991110

PATENT FAMILY:

EUROPEAN PATENT OFFICE (EP)

Patent (No,Kind,Date): EP 1003197 A2 20000524

SUBSTRATE FOR ELECTRON SOURCE, ELECTRON SOURCE AND IMAGE FORMING APPARATUS, AND MANUFACTURING METHOD THEREOF (English; French; German)

Patent Assignee: CANON KK (JP)

Author (Inventor): KOBAYASHI TAMAKI (JP); SHIBATA MASAAKI (JP)

Priority (No,Kind,Date): JP 98328586 A 19981118; JP 99319396 A 19991110

Applie (No,Kind,Date): EP 99309163 A 19991117

Designated States: (National) DE; FR; GB; IT; NL

IPC: * H01J-001/30; H01J-009/02

CA Abstract No: * 132(25)341278Q; 132(25)341278Q

Derwent WPI Acc No: * C 00-341819; C 00-341819

Language of Document: English

Patent (No,Kind,Date): EP 1003197 A3 20010418

SUBSTRATE FOR ELECTRON SOURCE, ELECTRON SOURCE AND IMAGE FORMING APPARATUS, AND MANUFACTURING METHOD THEREOF (English; French; German)

Patent Assignee: CANON KK (JP)

Author (Inventor): KOBAYASHI TAMAKI (JP); SHIBATA MASAAKI (JP)

Priority (No,Kind,Date): JP 98328586 A 19981118; JP 99319396 A 19991110

Applie (No,Kind,Date): EP 99309163 A 19991117

Designated States: (National) AT; BE; CH; CY; DE; DK; ES; FI; FR; GB; GR; IE; IT; LU; MC; NL; PT; SE

IPC: * H01J-001/316; H01J-009/02

CA Abstract No: * 132(25)341278Q

Derwent WPI Acc No: * C 00-341819

Language of Document: English

EUROPEAN PATENT OFFICE (EP)

Legal Status (No,Type,Date,Code,Text):

EP 1003197	P	19981118 EP AA	PRIORITY (PATENT APPLICATION) (PRIORITAET (PATENTANMELDUNG))
------------	---	----------------	--

EP 1003197	P	19991110 EP AA	PRIORITY (PATENT APPLICATION) (PRIORITAET (PATENTANMELDUNG))
------------	---	----------------	--

EP 1003197	P	19991117 EP AE	EP-APPLICATION (EUROPAEISCHE ANMELDUNG)
------------	---	----------------	---

EP 1003197	P	20000524 EP AK	DESIGNATED CONTRACTING STATES IN AN APPLICATION WITHOUT SEARCH
------------	---	----------------	--

REPORT: (IN EINER ANMELDUNG OHNE
RECHERCHENBERICHT BENANNTE VERTRAGSSTAATEN)

		DE FR GB IT NL
EP 1003197	P 20000524 EP AX	ERSTRECKUNG DES EUROPÄISCHEN PATENTS AUF (ZAHLUNG VON BENENNUNGSGEBÜHREN) AL;LT;LV;MK;RO;SI
EP 1003197	P 20000524 EP A2	PUBLICATION OF APPLICATION WITHOUT SEARCH REPORT (VERÖFFENTLICHUNG DER ANMELDUNG OHNE RECHERCHENBERICHT)
EP 1003197	P 20010418 EP AK	DESIGNATED CONTRACTING STATES IN A SEARCH REPORT: (IN EINEM RECHERCHENBERICHT BENANNTEN VERTRAGSSTAATEN)
		AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU MC NL PT SE
EP 1003197	P 20010418 EP AX	EXTENSION OF THE EUROPEAN PATENT TO (ERSTRECKUNG DES EUROPÄISCHEN PATENTS AUF) AL;LT;LV;MK;RO;SI
EP 1003197	P 20010418 EP A3	SEPARATE PUBLICATION OF THE SEARCH REPORT (ART. 93) (GESONDERTE VERÖFFENTLICHUNG DES RECHERCHENBERICHTS (ART. 93))
EP 1003197	P 20010418 EP RIC1	CLASSIFICATION (CORRECTION) (KLASSIFIKATION (KORR.)) 7H 01J 1/316 A, 7H 01J 9/02 B
EP 1003197	P 20011107 EP 17P	REQUEST FOR EXAMINATION FILED (PRÜFUNGSANTRAG GESTELLT) 20010910
EP 1003197	P 20020109 EP AKX	PAYMENT OF DESIGNATION FEES (ZAHLUNG VON BENENNUNGSGEBÜHREN) DE FR GB IT NL
EP 1003197	P 20040107 EP 17Q	FIRST EXAMINATION REPORT (ERSTER PRÜFUNGSBESCHEID) DATE: 20030701

JAPAN (JP)

Patent (No,Kind,Date): JP 2000215789 A2 20000804
SUBSTRATE FOR FORMING ELECTRON SOURCE, ELECTRON SOURCE, IMAGE FORMATION
DEVICE, AND THEIR MANUFACTURE (English)

Patent Assignee: CANON KK

Author (Inventor): KOBAYASHI TAMAKI; SHIBATA MASAAKI

Priority (No,Kind,Date): JP 99319396 A 19991110; JP 98328586 A
19981118

Applic (No,Kind,Date): JP 99319396 A 19991110

IPC: * H01J-001/316; C23C-016/40; H01J-009/02; H01J-029/04;
H01J-031/12

CA Abstract No: * 132(25)341278Q

Derwent WPI Acc No: * C 00-341819

Language of Document: Japanese

Patent (No,Kind,Date): JP 3135118 B2 20010213

Patent Assignee: CANON KK

Author (Inventor): KOBAYASHI TAMAKI; SHIBATA MASAAKI

Priority (No,Kind,Date): JP 99319396 A 19991110; JP 98328586 A
19981118

Applic (No,Kind,Date): JP 99319396 A 19991110

IPC: * H01J-001/316; H01J-009/02; H01J-029/04; H01J-031/12

Language of Document: Japanese

(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

特許第3135118号

(P3135118)

(45)発行日 平成13年2月13日 (2001.2.13)

(24)登録日 平成12年12月1日 (2000.12.1)

(51)Int.Cl'

H 01 J 1/316
9/02
29/04
31/12

識別記号

F I

H 01 J 1/30
9/02
29/04
31/12

E

E

C

請求項の数22(全 24 頁)

(21)出願番号

特願平11-319398

(22)出願日

平成11年11月10日 (1999.11.10)

(65)公開番号

特開2000-215789(P2000-215789A)

(43)公開日

平成12年8月4日 (2000.8.4)

審査請求日

平成11年11月10日 (1999.11.10)

(31)優先権主張番号

特願平10-328586

(32)優先日

平成10年11月18日 (1998.11.18)

(33)優先権主張国

日本 (JP)

(73)特許権者

000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者

小林 玉樹

東京都大田区下丸子3丁目30番2号 キ

ヤノン株式会社内

(72)発明者

柴田 雅章

東京都大田区下丸子3丁目30番2号 キ

ヤノン株式会社内

(74)代理人

100065385

弁理士 山下 繁平

審査官 波多江 進

最終頁に続く

(54)【発明の名称】電子源形成用基板、電子源及び画像形成装置並びにそれらの製造方法

1

(57)【特許請求の範囲】

【請求項1】電子放出素子が配置される電子源形成用基板であって、Naを含有する基板と、該基板上に形成された、 SiO_x を主成分とする第1の層と、該第1の層上に形成された、 SiO_x と電子伝導性酸化物とを含有する第2の層とを有する電子源形成用基板。

【請求項2】前記第1の層は、P、B、Geからなる元素群から選ばれる少なくとも一種の元素を含有している請求項1に記載の電子源形成用基板。

【請求項3】電子放出素子が配置される電子源形成用基板であって、Naを含有する基板と、該基板上に形成された、電子伝導性酸化物を含有する第2の層と、該第2の層上に形成された、 SiO_x を主成分とする第1の層とを有する電子源形成用基板。

【請求項4】前記第2の層は、 SiO_x をその構成成

2

分として含有している請求項3に記載の電子源形成用基板。

【請求項5】前記第1の層は、P、B、Geからなる元素群から選ばれる少なくとも一種の元素を含有している請求項3または4に記載の電子源形成用基板。

【請求項6】前記電子放出素子は、前記第1または第2の層上に配置される、電子放出部を有する導電性膜と、該導電性膜に接続された一対の電極とを備える電子放出素子である請求項1～5のいずれかに記載の電子源形成用基板。

【請求項7】請求項1～5のいずれかに記載された基板と、該基板の前記第1の層または前記第2の層上に配置された電子放出素子とを備えることを特徴とする電子源。

【請求項8】請求項1～5のいずれかに記載された基

板と、該基板の前記第1の層または前記第2の層上に配置された複数の電子放出素子とを備えることを特徴とする電子源。

【請求項9】 請求項1～5のいずれかに記載された基板と、該基板の前記第1の層または前記第2の層上に配置された複数の電子放出素子と、該複数の電子放出素子をマトリクス配線した複数の行方向配線及び複数の列方向配線とを備えることを特徴とする電子源。

【請求項10】 前記電子放出素子は、前記第1または第2の層上に配置される、電子放出部を有する導電性膜と、該導電性膜に接続された一对の電極とを備える電子放出素子である請求項7～9のいずれかに記載の電子源。

【請求項11】 請求項7～10のいずれかに記載された電子源と、該電子源から放出される電子の照射により画像を形成する画像形成部材とを備えることを特徴とする画像形成装置。

【請求項12】 電子放出素子が形成される電子源形成用基板の製造方法であって、Naを含有する基板上に、SiO₂を主成分とする第1の層を形成し、該第1の層上に、SiO₂と電子伝導性酸化物とを含有する第2の層を形成することを特徴とする電子源形成用基板の製造方法。

【請求項13】 電子放出素子が形成される電子源形成用基板の製造方法であって、Naを含有する基板上に、電子伝導性酸化物を含有する第2の層を形成し、該第2の層上に、SiO₂を主成分とする第1の層を形成することを特徴とする電子源形成用基板の製造方法。

【請求項14】 前記第1及び第2の層の形成は、化学的成膜法により行われる請求項12又は請求項13に記載の電子源形成用基板の製造方法。

【請求項15】 前記第1及び第2の層の形成は、原料ソースとして有機珪素化合物を用いてCVD法により成膜する工程と、原料ソースとして、前記有機珪素化合物に加え電子伝導性酸化物を形成するための有機金属化合物を用いてCVD法により成膜する工程とを有する請求項12又は請求項13に記載の電子源形成用基板の製造方法。

【請求項16】 前記第1及び第2の層の形成は、有機珪素化合物を含むコート層を形成する工程と、有機珪素化合物及び電子伝導性酸化物粒子を含むコート層を形成する工程と、前記両コート層を加熱する工程とを有する請求項12又は請求項13に記載の電子源形成用基板の製造方法。

【請求項17】 Naを含有する基板上に、SiO₂を主成分とする第1の層を形成し、該第1の層上に、SiO₂と電子伝導性酸化物とを含有する第2の層を形成する工程と、前記第2の層上に電子放出素子を形成する工程とを有することを特徴とする電子源の製造方法。

【請求項18】 Naを含有する基板上に、電子伝導性

酸化物を含有する第2の層を形成し、該第2の層上に、SiO₂を主成分とする第1の層を形成する工程と、前記第1の層上に電子放出素子を形成する工程とを有することを特徴とする電子源の製造方法。

【請求項19】 前記電子放出素子は炭素膜を有する電子放出素子であって、該電子放出素子が、前記電子伝導性酸化物としてIn, Sn, Sb, Reの中から選ばれる少なくとも一種の元素の酸化物を含有する第2の層上に形成される請求項17に記載の電子源の製造方法。

【請求項20】 前記電子放出素子は炭素膜を有する電子放出素子であり、該電子放出素子が、前記第2の層上に形成される請求項17に記載の電子源の製造方法。

【請求項21】 前記電子放出素子は炭素膜を有する電子放出素子であって、該電子放出素子が、前記SiO₂を主成分とする第1の層上に形成される請求項18に記載の電子源の製造方法。

【請求項22】 電子源と、該電子源から放出される電子の照射により画像を形成する画像形成部材とを備える画像形成装置の製造方法であって、前記電子源が請求項17～21のいずれかに記載の方法にて製造されることを特徴とする画像形成装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電子源の形成に用いられる電子源形成用基板と、該基板を用いた電子源並びに画像形成装置、及び、それらの製造方法に関する。

【0002】

【従来の技術】 従来より、電子放出素子としては大別して熱電子放出素子と冷陰極電子放出素子を用いた2種類のものが知られている。冷陰極電子放出素子には電界放出型(以下、「FE型」という。)、金属/絶縁層/金属型(以下、「MIM型」という。)や表面伝導型電子放出素子等がある。FE型の例としてはW. P. Dyke & W. W. Dolan, "Field emission", Advance in Electron Physics, 8, 89(1956)あるいはC. A. Spindt, "Physical Properties of Thin-Film Field Emission Cathodes with Molybdenum Cones", J. Appl. Phys., 47, S248(1976)等に開示されたものが知られている。MIM型の例としてはC. A. Mead, "Operation of Tunnel-Emission Devices", J. Appl. Phys., 32, 646(1961)等に開示されたものが知られている。表面伝導型電子放出素子型の例としては, M. I. Elinson, Recio Eng. Electron Phys., 10, 1290, (1965)等に開示されたものがある。表面伝導型電子放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより、電子放出が生ずる現象を利用するものである。この表面伝導型電子放出素子としては、前記エリンソン等によるSnO₂薄膜を用いたもの、Au薄膜によるもの[G. Dittmer: "Thin Solid Films", 9, 317(1972)], In, O, /SnO₂薄膜によるもの[M. Hartwell and C. G. Fonstad: "IEEE Tr

ans. ED Conf." 519(1975)]、カーボン薄膜によるもの
【荒木久他：真空、第26巻、第1号、22頁(1983)]等が報告されている。

【0003】上記のような電子放出素子を、基板上に配置して構成された電子源を、内部を真空に保持した外囲器中に保持して利用する為には、放電子源と外囲器、その他の部材とを接合する必要がある。この接合は、フリットガラスを用いて加熱、融着して行うのが一般的である。この時の加熱温度は、400~500°C程度が典型的で、時間は外囲器の大きさなどによって異なるが、10分~1時間程度が典型的である。

【0004】尚、外囲器の材質としては、フリットガラスによる接合が容易で確実であるという点と比較的安価であるという点から、青板ガラスを用いる事が好ましい。また、Naの一部をKに置換して歪み点を上昇させた高歪み点ガラスもフリット接続が容易であるため、好ましく用いることができる。また、上記電子源の基板に関してはその材質は、外囲器との接合の確実性から、同様に青板ガラス、あるいは上記の高歪み点ガラスを用いる事が好ましい。

【0005】

【発明が解決しようとする課題】上記青板ガラスには成分としてアルカリ金属元素、特にNaがNa₂Oとして大量に含有されている。Na元素は熱による拡散が生じ易いため、プロセス中で高温にさらされると、青板ガラス上に形成された各種部材、特に、電子放出素子を構成する部材中にNaが拡散し、その特性を変化させる場合がある。

【0006】また、上記のようなNaによる影響は、電子源の基板として上述の高歪み点ガラスを用いた場合、Na含有量が少ない分、程度は緩和されるが発生する場合があることが分かった。

【0007】以上のようなNaの影響を低減する手段として、例えば、特開平10-241550号公報、EP-A-850892号公報には、Naを含有する基板の少なくとも電子放出素子が配置される側の表層領域の該Naの含有濃度が、他の領域よりも小さくなっている電子源形成用の基板、更には、リン含有層を有する電子源形成用の基板が開示されている。また一方では、電子源が形成される基板は通常絶縁材料となるため、電子を放出させる為に使用する高電圧の印加された状態で駆動する場合においては、基板の露出している部分でチャージアップ現象が生じ、このチャージアップへの対策が何ら採られていない場合には、安定に長時間駆動する事が困難になってしまったり、電子源から放出される電子の軌道が乱されてしまい電子放出特性が経時に変化する場合がある。

以上のようなチャージアップによる影響を低減する手段として、例えば、U.S.P. 4, 954, 744号公報、あるいは、特開平8-180801号公報には、基板表面

あるいは電子放出素子表面を10³~10⁴Ω/□のシート抵抗を有する帯電防止膜で被覆することが開示されている。

【0008】そこで本発明は、電子放出素子の電子放出特性の経時的变化が低減される電子源形成用基板及びその製造方法を提供することを目的とする。

【0009】また、本発明は、電子放出素子の電子放出特性の経時的变化が低減された電子源とその電子源を用いた画像形成装置、更には、それらの製造方法を提供することを目的とする。

【0010】また、本発明は、複数の電子放出素子間での電子放出特性のばらつきが低減される電子源形成用基板及びその製造方法を提供することを目的とする。

【0011】また、本発明は、複数の電子放出素子間での電子放出特性のばらつきが低減された電子源とその電子源を用いた画像形成装置、更には、それらの製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明による電子源形成用基板は、電子放出素子が配置される電子源形成用基板であって、Naを含有する基板と、該基板上に形成された、SiO₂を主成分とする第1の層と、該第1の層上に形成された、SiO₂と電子伝導性酸化物とを含有する第2の層とを有することを特徴とする。

【0013】

【0014】

【0015】更に、本発明による電子源形成用基板は、上記の電子源形成用基板において、前記第1の層は、P、B、Geからなる元素群から選ばれる少なくとも一種の元素を含有していることを特徴とする。

【0016】更に、本発明による電子源形成用基板は、電子放出素子が配置される電子源形成用基板であって、Naを含有する基板と、該基板上に形成された、電子伝導性酸化物を含有する第2の層と、該第2の層上に形成された、SiO₂を主成分とする第1の層とを有することを特徴とする。

【0017】更に、本発明による電子源形成用基板は、上記の電子源形成用基板において、前記第2の層は、SiO₂をその構成成分として含有していることを特徴とする。

【0018】更に、本発明による電子源形成用基板は、上記の電子源形成用基板において、前記第1の層は、P、B、Geからなる元素群から選ばれる少なくとも一種の元素を含有していることを特徴とする。

【0019】更に、本発明による電子源形成用基板は、上記の電子源形成用基板において、前記電子放出素子は、前記第1または第2の層上に配置される、電子放出部を有する導電性膜と、該導電性膜に接続された一対の電極とを備える電子放出素子であることを特徴とする。

【0020】本発明による電子源は、上記の基板と、該

基板の前記第1の層または前記第2の層上に配置された電子放出素子とを備えることを特徴とする。

【0021】また、本発明による電子源は、上記の基板と、該基板の前記第1の層または前記第2の層上に配置された複数の電子放出素子とを備えることを特徴とする。

【0022】更に、本発明による電子源は、上記の基板と、該基板の前記第1の層または前記第2の層上に配置された複数の電子放出素子と、該複数の電子放出素子をマトリクス配線した複数の行方向配線及び複数の列方向配線とを備えることを特徴とする。

【0023】更に、本発明による電子源は、上記の電子源において、前記電子放出素子は、前記第1または第2の層上に配置される、電子放出部を有する導電性膜と、該導電性膜に接続された一対の電極とを備える電子放出素子であることを特徴とする。

【0024】本発明による画像形成装置は、上記の電子源と、該電子源から放出される電子の照射により画像を形成する画像形成部材とを備えることを特徴とする。

【0025】本発明による電子源形成用基板の製造方法は、電子放出素子が形成される電子源形成用基板の製造方法であって、Na_xを含有する基板上に、SiO₂を主成分とする第1の層を形成し、該第1の層上に、SiO₂と電子伝導性酸化物とを含有する第2の層を形成することを特徴とする。また本発明による電子源形成用基板の製造方法は、電子放出素子が形成される電子源形成用基板の製造方法であって、Na_xを含有する基板上に、電子伝導性酸化物を含有する第2の層を形成し、該第2の層上に、SiO₂を主成分とする第1の層を形成することを特徴とする。

【0026】また、本発明による電子源形成用基板の製造方法は、上記の電子源形成用基板の製造方法において、前記第1及び第2の層の形成は、化学的成膜法により行われることを特徴とする。

【0027】更に、本発明による電子源形成用基板の製造方法は、上記の電子源形成用基板の製造方法において、前記第1及び第2の層の形成は、原料ソースとして有機珪素化合物を用いてCVD法により成膜する工程と、原料ソースとして、前記有機珪素化合物に加え電子伝導性酸化物を形成するための有機金属化合物を用いてCVD法により成膜する工程とを有することを特徴とする。

【0028】更に、本発明による電子源形成用基板の製造方法は、上記の電子源形成用基板の製造方法において、前記第1及び第2の層の形成は、有機珪素化合物を含むコート層を形成する工程と有機珪素化合物及び電子伝導性酸化物粒子を含むコート層を形成する工程と、前記両コート層を加熱する工程とを有することを特徴とする。

【0029】本発明による電子源の製造方法は、Na_xを含有する基板上に、SiO₂を主成分とする第1の層を

形成し、該第1の層上に、SiO₂と電子伝導性酸化物とを含有する第2の層を形成する工程と、前記第2の層上に電子放出素子を形成する工程とを有することを特徴とする。また本発明による電子源の製造方法は、Na_xを含有する基板上に、電子伝導性酸化物を含有する第2の層を形成し、該第2の層上に、SiO₂を主成分とする第1の層を形成する工程と、前記第1の層上に電子放出素子を形成する工程とを有することを特徴とする。

【0030】また、本発明による電子源の製造方法は、上記の電子源の製造方法において、前記電子放出素子は炭素膜を有する電子放出素子であって、該電子放出素子が、前記電子伝導性酸化物としてIn、Sn、Sb、Reの中から選ばれる少なくとも一種の元素の酸化物を含有する第2の層上に形成されることを特徴とする。

【0031】更に、本発明による電子源の製造方法は、上記の電子源の製造方法において、前記電子放出素子は炭素膜を有する電子放出素子であり、前記第2の層がSiO₂を含有する層であって、該電子放出素子が、該第2の層上に形成されることを特徴とする。

【0032】更に、本発明による電子源の製造方法は、上記の電子源の製造方法において、前記電子放出素子は炭素膜を有する電子放出素子であって、該電子放出素子が、前記SiO₂を主成分とする第1の層上に形成されることを特徴とする。

【0033】本発明による画像形成装置の製造方法は、電子源と、該電子源から放出される電子の照射により画像を形成する画像形成部材とを備える画像形成装置の製造方法であって、前記電子源が上記のいずれかの方法にて製造されることを特徴とする。

30 【0034】以下、本発明について更に詳述する。

【0035】本発明において、SiO₂を主成分とする第1の層及び電子伝導性酸化物を含有する第2の層が形成される基板は、Na_xを含有する基板全てを対象とするものであるが、好ましくは、主成分としてSiO₂を5.0～7.5重量%、Na_xを2～17重量%含有するガラス基板である。

【0036】また、本発明において、上記第1の層及び上記第2の層は、上記Na_x含有基板上にまず第1の層が形成され、続いて、該第1の層上に第2の層が形成されている場合と、上記Na_x含有基板上にまず第2の層が形成され、続いて、該第2の層上に第1の層が形成されている場合の両方の場合を含む。

【0037】また、本発明において、電子伝導性とはイオン伝導性に対して用いられたもので、電子伝導性材料を含有する層を設けることは以下の利点を有する。

【0038】即ち、電子伝導性材料を含有する層を基板に設けることにより、基板表面は電気伝導性を示すようになり、チャージアップによる駆動中の不安定性を抑制することができる。この電気伝導性を得るために、イオン伝導性材料を用いると、駆動にかかる電圧が印加さ

れる事により、長時間電圧が印加されるうちにイオンが移動し、その結果該イオンが偏折し、電子源特性を不安定にすることがある。これはイオンの移動に要する時間が大きいために、例えば駆動に関わりパルス状に電圧を印加する場合においては、パルスとパルスの間、即ち休止時間内にイオンの移動が完全に復元されないために生ずるものと考えられる。このようなイオンの偏折が電子源特性に影響をもたらす。従って、本発明のように基板が電子伝導性材料を含有する層を有し、その伝導が主に電子伝導による場合においては、イオンの偏折がほとんど生じず、上述の電子源特性にもたらす影響を回避できる。

【0038】

【発明の実施の形態】以下、図面を参照しながら本発明の好ましい実施形態について説明する。

【0040】まず、図1は、電子源形成用基板の第1の実施形態を示す断面図である。図1において、1はNaを含有する、例えば、青板ガラス、あるいは、Naの一部をKに置換して歪み点を上昇させた高歪み点ガラスなどの基板、6はSiO₂を主成分とした第1の層、7は該第1の層上に形成された電子伝導性酸化物を含有した第2の層である。

【0041】ここで、図1に示された本実施形態の電子源形成用基板は、第2の層7上に電子放出素子が形成される。そこで、SiO₂を主成分とした第1の層6は、主として、電子放出素子を構成する部材へのNaの拡散をブロックする目的で設けられた層であり、図1に示したように、Naを含有する基板1上に形成することで、基板1からのNa拡散を抑制する効果を有する。第1の層6の厚さは、上記のNa拡散を抑制する効果の点で、300nm以上とされるのが好ましく、また、膜の応力によるクラックの発生や膜はがれを防止するという点で、更に3μm以下とされるのが特に好ましい。また、第1の層に、P、B、Geのうち少なくとも一種以上の元素が添加されていることは、第1の層の膜応力を緩和することができるため、上記膜の応力によるクラックの発生や膜はがれを生じることなく第1の層を比較的より厚く形成することができるので好ましい。

【0042】また、第2の層7は、電子伝導性酸化物を含有した層であり、電子放出素子が形成される基板表面の帶電を防止する目的で設けられた層である。この第2の層7は電子伝導性を示すため、基板表面のチャージアップを抑制し、該第2の層7上に配置される電子放出素子の安定した電子放出特性を得ることができる。第2の層7の膜厚は特に規定されないが、基板表面のシート抵抗値が10⁸Ω/□～10¹¹Ω/□の範囲内とされることがより十分な上記効果を得る上で特に好ましい。また、第2の層7に含有される電子伝導性酸化物としては、例えば、Fe、Ni、Cu、Pd、Ir、In、Sn、Sb、Reから選ばれる少なくとも一種以上の元素の酸化物粒子である。また、上層である第1の層6が、以下に述べる通りSiO₂を主成分とする層であることからこの第2の層7もまたSiO₂を主成分とする層であることが好ましい。

物粒子である。また、下層である第1の層6がSiO₂を主成分とする層であることからこの第2の層7もまたSiO₂を主成分とする層であることが好ましい。

【0043】次に、図2は、電子源形成用基板の第2の実施形態を示す断面図である。本実施形態においては、上述した第1の実施形態における第1の層6と第2の層7の積層順が異なっており、図2に示すように、第1の層6が、基板1上に形成された第2の層の上に形成されている。

【0044】図2において、1はNaを含有する、例えば、青板ガラス、あるいは、Naの一部をKに置換して歪み点を上昇させた高歪み点ガラスなどの基板、7は該Naを含有する基板上に形成された電子伝導性酸化物を含有した第2の層、6は該第2の層上に形成されたSiO₂を主成分とした第1の層、である。

【0045】まず、Naを含有する基板1上に配置される第2の層7は、電子伝導性酸化物を含有した層であり、電子放出素子が形成される基板表面の帶電を防止する目的で設けられた層である。この第2の層7は電子伝導性を示すため、基板表面のチャージアップを抑制し、以下で述べる第1の層6上に配置される電子放出素子の安定した電子放出特性を得ることができる。第2の層7の膜厚は特に規定されないが、基板表面のシート抵抗値が10⁸Ω/□～10¹¹Ω/□の範囲内とされることがより十分な上記効果を得る上で特に好ましい。また、第2の層7に含有される電子伝導性酸化物としては、上述の第1の実施形態と同様に、例えば、Fe、Ni、Cu、Pd、Ir、In、Sn、Sb、Reから選ばれる少なくとも一種以上の元素の酸化物粒子である。また、上層である第1の層6が、以下に述べる通りSiO₂を主成分とする層であることからこの第2の層7もまたSiO₂を主成分とする層であることが好ましい。

【0046】また、本実施形態の電子源形成用基板は、上記第2の層7上に形成される第1の層6上に電子放出素子が配置される。そこで、SiO₂を主成分とした第1の層6は、主として、電子放出素子を構成する部材へのNaの拡散をブロックする目的で設けられた層であり、図2に示したように、Naを含有する基板1上の第2の層7の上に形成することで、基板1からのNa拡散を抑制する効果を有する。第1の層6の厚さは、上述した第1の実施形態に比べ、基板1から第2の層7を拡散してきた低濃度のNaをブロックすればよいためより薄く形成することができるが、上記のNa拡散を抑制する効果の点、更には、上述した第2の層7中に含有される酸化物粒子による電子放出素子が配置される基板表面での凹凸を低減する上で、50nm以上とされるのが好ましい。また、電子放出素子が配置される基板表面のシート抵抗値が上記の好ましい範囲内とされる上で第1の層6の厚さは300nm以下とされるのが特に好ましい。また、第1の層に、P、B、Geのうち少なくとも一種以上の元素の酸化

元素が添加されていることは、上述の第1の実施形態と同様に、第1の層の膜応力を緩和することができるので、上記膜の応力によるクラックの発生や膜はがれを生じることなく第1の層を比較的より厚く形成することができるので好ましい。

【0047】次に、図3の(a)、(b)及び図4の(a)、(b)を用いて、上述の電子源形成用基板を用いた電子源の実施形態について説明する。

【0048】まず、図3の(a)、(b)は、電子源の第1の実施形態を示す模式図であり、図3の(a)は平面図、図3の(b)は断面図である。本実施形態の電子源は、上述の図1にて示された電子源形成用基板を用いて構成された電子源であり、図3の(a)、(b)において1、6、7はそれぞれ上述の、Naを含有する基板、SiO₂を主成分とした第1の層、電子伝導性酸化物を含有した第2の層である。本実施形態の電子源は、第2の層7上に電子放出素子が配置されている。ここで、電子放出素子は、例えば、一対の電極と、該一対の電極間に配置された、電子放出部を有する導電性膜とを備える電子放出素子であって、本実施形態においては、図3の(a)、(b)に示されるように、間隙5を隔てて配置された一対の導電性膜4と、一対の導電性膜4にそれぞれ電気的に接続された一対の素子電極2、3とを備える表面伝導型電子放出素子が用いられている。尚、図3の(a)、(b)に示される表面伝導型電子放出素子は、導電性膜4上に炭素膜を有する形態の素子であることがより好ましい。

【0049】また、図4の(a)、(b)は、電子源の第2の実施形態を示す模式図であり、図4の(a)は平面図、図4の(b)は断面図である。本実施形態の電子源は、上述の図2にて示された電子源形成用基板を用いて構成された電子源であり、図4の(a)、(b)において1、6、7はそれぞれ上述の、Naを含有する基板、SiO₂を主成分とした第1の層、電子伝導性酸化物を含有した第2の層である。本実施形態の電子源は、第1の層6上に電子放出素子が配置されており、本実施形態における電子放出素子もまた図3の(a)、(b)で示された第1の実施形態の電子源と同様の素子である。

【0050】ここで、電子源の第1及び第2の実施形態において用いられた表面伝導型電子放出素子について以下に詳述する。

【0051】まず、対向する素子電極2、3の材料としては、一般的な導体材料を用いることができ、例えば、Ni、Cr、Au、Mo、W、Pt、Ti、Al、Cu、Pd等の金属または合金、または、Pd、Ag、Au、RuO₂、Pd-Ag等の金属または金属酸化物とガラス等から構成される印刷導体、または、In₂O₃-SnO₂等の透明導電体、または、ポリシリコン等の半導体導体材料等から適宜選択することができる。

【0052】また、導電性膜4構成する材料としては、Pd、Pt、Ru、Ag、Au、Ti、In、Cu、Cr、Fe、Zn、Sn、Ta、W、Pd等の金属、または、PdO、SnO₂、In₂O₃、PbO、Sb₂O₃等の酸化物等の中から適宜選択することができる。

【0053】導電性膜4は、良好な電子放出特性を得るために、1nm～20nmの範囲内の粒径を有する複数の微粒子で構成された微粒子膜であることが好ましい。また、導電性膜4の膜厚は、好ましくは1nm～50nmの範囲とするのが良い。

【0054】また、間隙5は、例えば、素子電極2、3間に跨って形成された導電性膜に、後述するフォーミング処理で亀裂を形成することにより形成される。

【0055】また、上述した通り、導電性膜4上には炭素膜が形成されていることが、電子放出特性の向上及び電子放出特性の経時的変化の低減のうえで好ましい。

【0056】この炭素膜は、例えば、図5の(a)、(b)に示されるように形成される。ここで図5の(a)は炭素膜を有する表面伝導型電子放出素子の導電性膜の間隙部付近を拡大した模式的平面図、図5の(b)はそのA-A'断面図である。図5に示されるように、炭素膜を有する表面伝導型電子放出素子は、上記一対の導電性膜4で形成される間隙5よりも狭い間隙8を形成するように、該導電性膜4に接続されて、間隙5内の基板10上及び導電性膜4上に炭素膜9を有している。また、図6の(a)、(b)に示すように、一対の導電性膜4の、間隙5に面する両端に、上記同様に炭素膜9を有する形態であっても上記同様の効果を奏する。

【0057】次に、図7を参照しながら、図3の(a)、(b)で示された上述の電子源の製造方法の一例について説明する。

【0058】1) 基板ガラス、高歪み点ガラスなどのNa含有基板1を洗剤、純水および有機溶剤等を用いて十分に洗浄し、かかる基板1上に第1の層6を形成する。ここで第1の層6の形成法としては、スパッタ法、真空蒸着法等の物理的成膜法を用いることができるが、化学的成膜法を用いるのが好ましい。化学的成膜法とは、その成膜元素を含む化合物(出発材料)を用い、化学反応を経て成膜する方法であり、有機化合物の焼成、CVD法等が一般に知られている。これら的方法によれば、比較的容易に厚い膜が得られる、凹凸表面を平坦化できる、といった利点を有する。第1の層6の出発材料としては、その主成分となる珪素の化合物が用いられるが、この珪素の化合物に、リン化合物、ホウ素化合物、ゲルマニウム化合物を添加、あるいは同時に導入することで、上述したP、B、Geが添加された層を形成することができる。

【0059】続いて、この第1の層6の上に第2の層7を形成する。

【0060】ここで第2の層7の形成法としては、上記

物理的成膜法や微粒子分散塗布法等を用いてもよいが、第1の層6の形成法と同じ化学的成膜法を用いると、上記第1の層6の形成に統けて連続的に形成できるため好ましい。例として、第1の層6をその出発材料として珪素の化合物を用いCVD法で成膜し、続いて、出発材料として、上記珪素の化合物に代えて電子伝導性酸化物となる化合物のソースに切り替えて、第2の層7を連続成膜することができる。また、第1の層6をその出発材料として珪素の化合物を用いCVD法で成膜し、続いて、出発材料として、上記珪素の化合物に加えて電子伝導性酸化物となる化合物のソースを導入して、第2の層7を連続成膜することは、その表面に電子放出素子が形成される第2の層7にSiO₂が含有されるため、特に、電子放出素子が表面伝導型電子放出素子である場合には、後述する活性化が促進され、活性化処理時間の短縮、電子放出特性の向上がなされる。また、第2の層7に含有される電子伝導性酸化物が、とりわけIn, Sn, Sb, Reの少なくとも一種の元素を含む酸化物である場合にも、In, Sn, Sb, Reは上記活性化の促進作用を有するので上記同様の効果を奏する。

【0061】以上のようにして、基板1上に、第1の層6、第2の層7がこの順にて積層された電子源形成用基板が作成される(図7の(a))。

【0062】次に、上記電子源形成用基板上に電子放出素子、とりわけ、表面伝導型電子放出素子が形成される。

【0063】2)まず、真空蒸着法、スパッタ法等により素子電極材料を堆積後、例えばフォトリソグラフィー技術を用いて第2の層7表面に素子電極2, 3を形成する(図7の(b))。

【0064】3)素子電極2, 3を設けた第2の層7上に、有機金属溶液を塗布して、有機金属薄膜を形成する。有機金属溶液には、前述の導電性膜4の材料の金属を主元素とする有機金属化合物の溶液を用いることができる。有機金属薄膜を加熱焼成処理し、リフトオフ、エッチング等によりバターニングし、導電性膜4を形成する(図7の(c))。ここでは、有機金属溶液の塗布法を挙げて説明したが、導電性膜4の形成法はこれに限られるものではなく、真空蒸着法、スパッタ法、化学的気相堆積法、分散塗布法、ディッピング法、スピナ法等を用いることもできる。

【0065】4)つづいて、フォーミング工程を施す。このフォーミング工程の方法の一例として通電処理による方法を説明する。素子電極2, 3間に、不図示の電源を用いて、通電を行うと、導電性膜4に、間隙5が形成される(図7の(d))。通電フォーミングの電圧波形の例を図8に示す。

【0066】電圧波形は、パルス波形が、好ましい。これにはパルス波高値を定電圧としたパルスを連続的に印加する図8の(a)に示した手法とパルス波高値を増加

させながら、電圧パルスを印加する図8の(b)に示した手法がある。

【0067】図8の(a)におけるT1及びT2は電圧波形のパルス幅とパルス間隔である。通常T1は1μsec. ~ 10msec., T2は、10μsec. ~ 10msec. の範囲で設定される。三角波の波高値(通電フォーミング時のピーク電圧)は、電子放出素子形態に応じて適宜選択される。このような条件のもと、例えば、数秒から数十分間電圧を印加する。パルス波形は三角波に限定されるものではなく、矩形波など所望の波形を採用することができる。

【0068】図8の(b)におけるT1及びT2は、図8の(a)に示したと同様とすることができる。三角波の波高値(通電フォーミング時のピーク電圧)は、例えば0.1V/ステップ程度づつ、増加させることができる。通電フォーミング処理の終了は、パルス間隔T2中に、例えば0.1V程度の電圧を印加し、この時に流れる素子電流を測定し、抵抗値を求めて、1MΩ以上の抵抗を示した時、通電フォーミングを終了させる。

20 【0069】5)フォーミングを終えた素子に活性化工程と呼ばれる処理を施すのが好ましい。活性化工程とは、この工程により、素子電流If、放出電流Ieが、著しく変化する工程である。活性化工程は、例えば、有機物質のガスを含有する雰囲気下で、通電フォーミングと同様に、パルスの印加を繰り返すことで行うことができる。この雰囲気は、例えば油抜きポンプやロータリーポンプなどを用いて真空容器内を排気した場合に雰囲気内に残留する有機ガスを利用して形成することができる他、イオンポンプなどにより一旦十分に排気した真空中に適当な有機物質のガスを導入することによっても得られる。このときの好ましい有機物質のガス圧は、前述の応用の形態、真空容器の形状や、有機物質の種類などにより異なるため場合に応じて適宜設定される。適当な有機物質としては、アルカン、アルケン、アルキンの脂肪族炭化水素類、芳香族炭化水素類、アルコール類、アルデヒド類、ケント類、アミン類、フェノール、カルボン、スルホン酸等の有機酸類等を挙げることが出来、具体的には、メンタ、エタン、プロパンなどC_nH_{2n+2}で表される飽和炭化水素、エチレン、プロピレンなどC_nH_{2n}等の組成式で表される不飽和炭化水素、ベンゼン、トルエン、メタノール、エタノール、ホルムアルデヒド、アセトアルデヒド、アセトン、メチルエチルケトン、メチルアミン、エチルアミン、フェノール、蚁酸、酢酸、ブロビオン酸等あるいはこれらの混合物が使用できる。この処理により、雰囲気中に存在する有機物質から、炭素膜が素子上に堆積し、素子電流If、放出電流Ieが、著しく変化するようになる。

40 【0070】活性化工程の終了判定は、素子電流Ifと放出電流Ieを測定しながら、適宜行う。尚パルス幅、パルス間隔、パルス波高値などは、適宜設定される。

【0071】上記炭素膜は、例えばグラファイト（いわゆるHOPG、PG、GCを包含する、HOPGはほぼ完全なグラファイトの結晶構造、PGは結晶粒が20nm程度で結晶構造がやや乱れたもの、GCは結晶粒が2nm程度になり結晶構造の乱れがさらに大きくなつたものを指す。）、非晶質カーボン（アモルファスカーボン及び、アモルファスカーボンと前記グラファイトの微結晶の混合物を指す）の膜であり、その膜厚は、50nm以下の範囲とするのが好ましく、30nm以下の範囲とすることがより好ましい。

【0072】以上のようにして、図3の(a)、(b)で示された電子源が製造される。

【0073】次に、図4の(a)、(b)で示された電子源の製造方法の一例について以下に述べる。

【0074】1) 青板ガラス、高歪み点ガラスなどのNa含有基板製の基板1を洗剤、純水および有機溶剤等を用いて十分に洗浄し、かかる基板1上に、第2の層7を、該第2の層上に第1の層6をそれぞれ以下手順で順次形成する。まず、上述した電子伝導性酸化物の粒子を基板1上に分散塗布する。このとき、上記分散溶液中に、珪素化合物を混入させておくことにより上述したSiO₂を主成分とする第2の層7を形成することができる。続いて、上記分散溶液を乾燥させた後、その上に、第1の層6の出発原料である珪素化合物、例えば有機珪素を含有する溶液を塗布する。このとき第1の層6の出発原料である上記珪素化合物に、リン化合物、ホウ素化合物、あるいは、ゲルマニウム化合物を添加することで、上述したP、B、あるいはGeが添加された第1の層6を形成することができる。その後、基板1とオーブンで加熱焼成し、基板1上に第2の層7と第1の層6を形成することができる。この手法は、特に、酸化物粒子を含む第2の層7の表面が凹凸を有するため、第1の層6を上記方法で更に形成することによって、電子源形成用基板の表面が比較的平坦となり、電子放出素子を形成し易くするため好ましく用いられる。また、電子放出素子が上述の表面伝導型電子放出素子のように、膜状の導電性部材（導電性膜）を有する場合には、かかる凹凸により段差切れを起こす可能性があるので、上記第1の層6を設けることがより好ましい。また、第1の層6がSiO₂を主成分とすることから、表面伝導型電子放出素子の前述した活性化が促進され、活性化処理時間の短縮、電子放出特性の向上がなされる。以上のようにして、基板1上に、第2の層7、第1の層6がこの順にて積層された電子源形成用基板が作成される。

【0075】次に、上記電子源形成用基板上に電子放出素子、とりわけ、表面伝導型電子放出素子が形成される。この表面伝導型電子放出素子の形成は、上述した同様の方法によりなされる。

【0076】以上述べた電子源形成用基板を用いて形成された電子源の別の実施形態として、複数の電子放出素

子が配列された電子源、及びその電子源を用いた画像形成装置の例について以下に説明する。

【0077】図9は、上述した図1または図2で示される電子源形成用基板上に複数の電子放出素子がマトリクス配線された電子源を示す模式図である。図9において、7.1は基板であり、上記の第1の層と第2の層が予め設けられている。7.2は行方向配線、7.3は列方向配線である。また、7.6は電子放出素子、7.5は結線である。

【0078】m本の行方向配線7.2は、Dx1、Dx2、…、Dxmからなり、真空蒸着法、印刷法、スパッタ法等を用いて形成された導電性金属等で構成することができる。列方向配線7.3は、Dy1、Dy2、…、Dynのn本の配線よりなり、行方向配線7.2と同様に形成される。これらm本の行方向配線7.2とn本の列方向配線7.3との間には、不図示ではあるが層間絶縁層が設けられており、両者を電気的に分離している（m、nは、共に正の整数）。

【0079】層間絶縁層は、真空蒸着法、印刷法、スパッタ法等を用いて形成されたSiO₂等で構成される。例えば、列方向配線7.3を形成した電子源基板7.1の全面或は一部に所望の形状で形成され、特に、行方向配線7.2と列方向配線7.3の交差部の電位差に耐え得るように、膜厚、材料、製法が、適宜設定される。行方向配線7.2と列方向配線7.3は、それぞれ外部端子として引き出されている。

【0080】電子放出素子7.6は、m本の行方向配線7.2とn本の列方向配線7.3とに導電性金属等からなる結線7.5によって電気的に接続されている。

【0081】行方向配線7.2には、X方向に配列した電子放出素子7.4の行を、選択するための走査信号を印加する不図示の走査信号印加手段が接続される。一方、列方向配線7.3には、Y方向に配列した電子放出素子7.4の各列を入力信号に応じて、変調するための不図示の変調信号発生手段が接続される。各電子放出素子に印加される駆動電圧は、当該素子に印加される走査信号と変調信号の差電圧として供給される。

【0082】上記構成においては、単純なマトリクス配線を用いて、個別の素子を選択し、独立に駆動可能とすることはできる。

【0083】上記電子放出素子として表面伝導型電子放出素子を用い、上述の電子源形成用基板上に、複数の表面伝導型電子放出素子を単純マトリクス配線した電子源を用いて構成した画像形成装置について、図10と図11及び図12を用いて説明する。図10は、画像形成装置の表示パネルの一例を示す模式図であり、図11は、図10の画像形成装置に使用される蛍光膜の模式図である。図12は、NTSC方式のテレビ信号に応じて表示を行なうための駆動回路の一例を示すブロック図である。

【0084】図10において、71は、表面伝導型電子放出素子76を複数配した、上述の図1または図2で示される基板、81は基板71を固定したリアプレート、86はガラス基板83の内面に蛍光膜84とメタルバック85が形成されたフェースプレートである。82は支持枠であり、該支持枠82には、リアプレート81、フェースプレート86が低融点のフリットガラスなどを用いて、接合されている。

【0085】72、73は、表面伝導型電子放出素子76と接続された行方向配線及び列方向配線である。

【0086】外囲器88は、上述の如く、フェースプレート86、支持枠82、リアプレート81で構成される。リアプレート81は主に基板71の強度を補強する目的で設けられるため、基板71自体で十分な強度を持つ場合は別体のリアプレート81は不要とすることができる。即ち、基板71に直接支持枠82を封着し、フェースプレート86、支持枠82及び基板71で外囲器88を構成しても良い。一方、フェースプレート86、リアプレート81間に、スペーサーとよばれる不図示の支持体を設置することにより、大気圧に対して十分な強度をもつ外囲器88を構成することもできる。

【0087】図11は、蛍光膜を示す模式図である。蛍光膜84は、モノクロームの場合は蛍光体のみから構成することができる。カラーの蛍光膜の場合は、蛍光体の配列によりブラックストライプあるいはブラックマトリクスなどと呼ばれる黒色導電材91と蛍光体92とから構成することができる。ブラックストライプ、ブラックマトリクスを設ける目的は、カラー表示の場合、必要となる三原色蛍光体の各蛍光体92間の塗り分け部を黒くすることで混色等を目立たなくすることと、蛍光膜84における外光反射によるコントラストの低下を抑制することにある。ブラックストライプの材料としては、通常用いられている黒鉛を主成分とする材料の他、導電性があり、光の透過及び反射が少ない材料を用いることができる。

【0088】ガラス基板に蛍光体を塗布する方法は、モノクローム、カラーによらず、沈殿法、印刷法等が採用できる。蛍光膜84の内面側には、通常メタルバック85が設けられる。メタルバックを設ける目的は、蛍光体の発光のうち内面側への光をフェースプレート86側へ鏡面反射させることにより輝度を向上させること、電子ビーム加速電圧を印加するための電極として作用させること、外囲器内で発生した負イオンの衝突によるダメージから蛍光体を保護すること等である。メタルバックは、蛍光膜作製後、蛍光膜の内面側表面の平滑化処理（通常、「フィルミング」と呼ばれる。）を行い、その後A1を真空蒸着等を用いて堆積させることで作製できる。

【0089】フェースプレート86には、更に蛍光膜84の導電性を高めるため、蛍光膜84の外側に透明電

極（不図示）を設けてよい。

【0090】前述の封着を行う際には、カラーの場合は各色蛍光体と電子放出素子とを対応させる必要があり、十分な位置合わせが不可欠となる。

【0091】図10に示した画像形成装置の製造方法の一例を以下に説明する。図13はこの工程に用いる装置の概要を示す模式図である。外囲器88は、排気管132を介して真空チャンバー133に連結され、さらにゲートバルブ134を介して排気装置135に接続されている。真空チャンバー133には、内部の圧力及び雰囲気中の各成分の分圧を測定するために、圧力計136、四重質量分析器137等が取り付けられている。外囲器88内部の圧力などを直接測定することは困難であるため、該真空チャンバー133内の圧力などを測定し、処理条件を制御する。真空チャンバー133には、さらに必要なガスを真空チャンバー内に導入して雰囲気を制御するため、ガス導入ライン138が接続されている。該ガス導入ライン138の他端には導入物質源140が接続されており、導入物質がアンブルやポンベなどに入れて貯蔵されている。ガス導入ラインの途中には、導入物質を導入するレートを制御するための導入制御手段139が設けられている。該導入量制御手段としては具体的には、スローリークバルブなど逃す流量を制御可能なバルブや、マスフローコントローラーなどが、導入物質の種類に応じて、それぞれ使用が可能である。

【0092】図13の装置により外囲器88の内部を排気し、フォーミングを行う。この際、例えば図14に示すように、列方向配線73を共通電極141に接続し、行方向配線72の内の一つに接続された素子に電源142によって、同時に電圧パルスを印加して、フォーミングを行うことができる。パルスの形状や、処理の終了の判定などの条件は、個別素子のフォーミングについての既述の方法に準じて選択すればよい。また、複数の行方向配線に、位相をずらせたパルスを順次印加（スクロール）することにより、複数の行方向配線に接続された素子をまとめてフォーミングする事も可能である。図中143は電流測定用抵抗を、144は、電流測定用のオシロスコープを示す。

【0093】フォーミング終了後、活性化工程を行う。外囲器88内は、十分に排気した後有機物質がガス導入ライン138から導入される。あるいは、個別素子の活性化方法として記述のように、まず油拡散ポンプやロータリーポンプで排気し、これによって真空雰囲気中に残留する有機物質を用いても良い。また、必要に応じて有機物質以外の物質も導入される場合がある。この様にして形成した、有機物質を含む雰囲気中で、各電子放出素子に電圧を印加することにより、炭素あるいは炭素化合物、ないし両者の混合物が電子放出部に堆積し、電子放出量がド拉斯ティックに上昇するのは、個別素子の場合と同様である。このときの電圧の印加方法は、上記フォ

ーミングの場合と同様の結線により、一つの行方向配線につながった素子に、同時の電圧パルスを印加すればよい。また、複数の行方向配線に、位相をずらしたパルスを順次印加（スクロール）することにより、複数の行方向配線に接続された素子をまとめて活性化する事も可能であり、その場合には、各行方向配線に対して、素子電流を制御するように活性化処理を行う事により、行方向配線間の素子電流を揃える事が可能となる。活性化工程終了後は、個別素子の場合と同様に、安定化工程を行うことが好ましい。外囲器88を加熱して、80～250°Cに保持しながら、イオンポンプ、ソーブションポンプなどのオイルを使用しない排気装置135により排気管132を通じて排気し、有機物質の十分少ない雰囲気にした後、排気管をバーナーで熱して溶解させて封じる。外囲器88の封止後の圧力を維持するために、ゲッター処理を行なうこともできる。これは、外囲器88の封止を行なう直前あるいは封止後に、抵抗加熱あるいは高周波加熱等を用いた加熱により、外囲器88内の所定の位置（不図示）に配置されたゲッターを加熱し、蒸着膜を形成する処理である。ゲッターは通常はBa等が主成分であり、該蒸着膜の吸着作用により、外囲器88内の雰囲気を維持するものである。

【0094】次に、単純マトリクス配置の電子源を用いて構成した表示パネルに、NTSC方式のテレビ信号に基づいたテレビジョン表示を行う為の駆動回路の構成例について、図12を用いて説明する。図12において、101は画像表示パネル、102は走査回路、103は制御回路、104はシフトレジスタである。105はラインメモリ、106は同期信号分離回路、107は変調信号発生器、VxおよびVaは直流電圧源である。

【0095】表示パネル101は、端子Dx1乃至Dxm、端子Doy1乃至Dodyn、及び高圧端子Hvを介して外部の電気回路と接続している。端子Dx1乃至Dxmには、表示パネル内に設けられている電子源、即ち、M行N列の行列状にマトリクス配線された電子放出素子群を一行（N素子）ずつ順次駆動する為の走査信号が印加される。

【0096】端子Doy1乃至Dodynには、前記走査信号により選択された一行の電子放出素子の各素子の出力電子ビームを制御する為の変調信号が印加される。高圧端子Hvには、直流電圧源Vxより、例えば10kVの直流電圧が供給されるが、これは電子放出素子から放出される電子ビームに蛍光体を励起するのに十分なエネルギーを付与する為の加速電圧である。

【0097】走査回路102について説明する。同回路は、内部にM個のスイッチング素子を備えたもので（図中、S1乃至Smで模式的に示している）ある。各スイッチング素子は、直流電圧源Vxの出力電圧もしくは0V（グランドレベル）のいずれか一方を選択し、表示パネル101の端子Dx1乃至Dxmと電気的に接続され

る。S1乃至Smの各スイッチング素子は、制御回路103が outputする制御信号Scanに基づいて動作するものであり、例えばFETのようなスイッチング素子を組み合わせることにより構成することができる。

【0098】直流電圧源Vxは、本例の場合には電子放出素子の特性（電子放出しきい値電圧）に基づき走査されていない素子に印加される駆動電圧が電子放出しきい値電圧以下となるよう一定電圧を出力するよう設定されている。

10 【0099】制御回路103は、外部より入力する画像信号に基づいて適切な表示が行なわれるよう各部の動作を整合させる機能を有する。制御回路103は、同期信号分離回路106より送られる同期信号Syncに基づいて、各部に対してScanおよびSyncおよびTmryの各制御信号を発生する。

【0100】同期信号分離回路106は、外部から入力されるNTSC方式のテレビ信号から同期信号成分と輝度信号成分とを分離する為の回路である。同期信号分離回路106により分離された同期信号は、垂直同期信号と水平同期信号より成るが、ここでは説明の便宜上Sync信号として図示した。前記テレビ信号から分離された画像の輝度信号成分は便宜上DATA信号と表した。該DATA信号はシフトレジスタ104に入力される。

【0101】シフトレジスタ104は、時系列的にシリアルに入力される前記DATA信号を、画像1ライン毎にシリアル／パラレル変換するためのもので、前記制御回路103より送られる制御信号Syncに基づいて動作する（即ち、制御信号Syncは、シフトレジスタ104のシフトクロックであるということもできる。）。シリアル／パラレル変換された画像1ライン分（電子放出素子N素子分の駆動データに相当）のデータは、Id1乃至IdnのN個の並列信号として前記シフトレジスタ104より出力される。

【0102】ラインメモリ105は、画像1ライン分のデータを必要時間の間だけ記憶する為の記憶装置であり、制御回路103より送られる制御信号Tmryに従って適宜Id1乃至Idnの内容を記憶する。記憶された内容は、I'd1乃至I'dnとして出力され、変調信号発生器107に入力される。

【0103】変調信号発生器107は、画像データI'd1乃至I'dnの各々に応じて表面伝導型電子放出素子の各々を適切に駆動変調する為の信号源であり、その出力信号は、端子Doy1乃至Dodynを通じて表示パネル101内の表面伝導型電子放出素子に印加される。

【0104】ここで、前述した表面伝導型電子放出素子は放出電流Ieに対して以下の基本特性を有している。即ち、電子放出には明確なしきい値電圧Vthがあり、Vth以上の電圧を印加された時の電子放出が生じる。電子放出しきい値以上の電圧に対しては、素子への

印加電圧の変化に応じて放出電流も変化する。このことから、本素子にパルス状の電圧を印加する場合、例えば電子放出閾値以下の電圧を印加しても電子放出は生じないが、電子放出閾値以上の電圧を印加する場合には電子ビームが放出される。その際、パルスの波高値 V_m を変化させる事により出力電子ビームの強度を制御することが可能である。また、パルスの幅 P_w を変化させることにより出力される電子ビームの電荷の総量を制御する事が可能である。従って、入力信号に応じて、電子放出素子を変調する方式としては、電圧変調方式、パルス幅変調方式等が採用できる。電圧変調方式を実施するに際しては、変調信号発生器107として、一定長さの電圧パルスを発生し、入力されるデータに応じて適宜パルスの波高値を変調するような電圧変調方式の回路を用いることができる。

【0105】パルス幅変調方式を実施するに際しては、変調信号発生器107として、一定の波高値の電圧パルスを発生し、入力されるデータに応じて適宜電圧パルスの幅を変調するようなパルス幅変調方式の回路を用いることができる。

【0106】シフトレジスタ104やラインメモリ105は、デジタル信号式のものでもアナログ信号式のものでも採用できる。画像信号のシリアル/パラレル変換や記憶が所定の速度で行なわれれば良いからである。

【0107】デジタル信号式を用いる場合には、同期信号分離回路106の出力信号D A T Aをデジタル信号化する必要があるが、これには106の出力部にA/D変換器を設ければ良い。これに連連してラインメモリ105の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器107に用いられる回路が若干異なるものとなる。即ち、デジタル信号を用いた電圧変調方式の場合、変調信号発生器107には、例えばD/A変換回路を用い、必要に応じて増幅回路などを付加する。パルス幅変調方式の場合、変調信号発生器107には、例えば高速の発振器および発振器の出力する波数を計数する計数器（カウンタ）及び計数器の出力値と前記メモリの出力値を比較する比較器（コンバレータ）を組み合せた回路を用いる。必要に応じて、比較器の出力するパルス幅変調された変調信号を表面伝導型電子放出素子の駆動電圧にまで電圧增幅するための増幅器を付加することもできる。

【0108】アナログ信号を用いた電圧変調方式の場合、変調信号発生器107には、例えばオペアンプなどを用いた増幅回路を採用でき、必要に応じてレベルシフト回路などを付加する事もできる。パルス幅変調方式の場合には、例えば、電圧制御型発振回路（VOC）を採用でき、必要に応じて表面伝導型電子放出素子の駆動電圧まで電圧増幅するための増幅器を付加することもできる。

【0109】このような構成をとり得る本発明を適用可

能な画像表示装置においては、各電子放出素子に、容器外端子 D_{ox1} 乃至 D_{oxm} 、 D_{oy1} 乃至 D_{oyn} を介して電圧を印加することにより、電子放出が生ずる。高圧端子 H_v を介してメタルバック85、あるいは透明電極（不図示）に高圧を印加し、電子ビームを加速する。加速された電子は、蛍光膜84に衝突し、発光が生じて画像が形成される。

【0110】次に、上述した電子源形成用基板を用いて形成された電子源の更に別の実施形態として、上述した図1または図2で示される電子源形成用基板上に複数の電子放出素子がはしご型配置された電子源及びかかる電子源を用いた画像形成装置について図15及び図16を用いて説明する。

【0111】図15は、はしご型配置の電子源の一例を示す模式図である。図15において、110は前記第1の層と第2の層が予め形成された基板、111は表面伝導型電子放出素子である。112、 D_{x1} 乃至 D_{x10} は、表面伝導型電子放出素子111を接続するための共通配線である。表面伝導型電子放出素子111は、基板110上に、X方向に並列に複数個配されている（これを素子行と呼ぶ）。この素子行が複数個配されて、電子源を構成している。各素子行の共通配線間に駆動電圧を印加することで、各素子行を独立に駆動させることができる。即ち、電子ビームを放出させたい素子行には、電子放出しきい値以上の電圧を、電子ビームを放出しない素子行には、電子放出しきい値以下の電圧を印加する。各素子行間の共通配線 D_{x2} 乃至 D_{x9} は、例えば D_{x2} 、 D_{x3} を同一配線とするともできる。

【0112】図16は、はしご型配置の電子源を備えた画像形成装置におけるパネル構造の一例を示す模式図である。120はグリッド電極、121は電子が通過するため空孔、122は D_{ox1} 、 D_{ox2} 、…、 D_{oxm} よりなる容器外端子である。123は、グリッド電極120と接続された G_1 、 G_2 、…、 G_n からなる容器外端子、124は各素子行間の共通配線を同一配線とした電子源基板である。図16においては、図10、図15に示した部位と同じ部位には、これらの図に付した同一の符号を付している。ここに示した画像形成装置と、図10に示した単純マトリクス配置の画像形成装置との大きな違いは、電子源基板110とフェースプレート86の間にグリッド電極120を備えているか否かである。

【0113】図16においては、基板110とフェースプレート86の間には、グリッド電極120が設けられている。グリッド電極120は、電子放出素子から放出された電子ビームを変調するためのものであり、はしご型配置の素子行と直交して設けられたストライブ状の電極に電子ビームを通過させるため、各素子に対応して1個ずつ円形の開口121が設けられている。グリッドの形状や設置位置は図16に示したものに限定されるもの

ではない。例えば、開口としてメッシュ状に多数の通過口を設けることができ、グリッドを電子放出素子の周囲や近傍に設けることができる。

【0114】容器外端子122およびグリッド容器外端子123は、不図示の制御回路と電気的に接続されている。

【0115】ここで述べた2種類の画像形成装置の構成は、本発明を適用可能な画像形成装置の一例であり、本発明の技術思想に基づいて種々の変形が可能である。入力信号については、NTSC方式を挙げたが入力信号はこれに限られるものではなく、PAL、SECAM方式など他、これよりも、多数の走査線からなるTV信号（例えば、高品位TV）方式をも採用できる。

【0116】本例の画像形成装置では、素子行を1列ずつ順次駆動（走査）していくのと同期してグリッド電極列に画像1ライン分の交調信号を同時に印加する。これにより、各電子ビームの蛍光体への照射を制御し、画像を1ラインずつ表示することができる。本発明の画像形成装置は、テレビジョン放送の表示装置、テレビ会議システムやコンピューター等の表示装置の他、感光性ドラム等を用いて構成された光プリンターとしての画像形成装置等としても用いることができる。

【0117】

【実施例】以下、具体的な実施例を挙げて本発明を詳しく説明するが、本発明はこれら実施例に限定されるものではなく、本発明の目的が達成される範囲内での各要素の置換や設計変更がなされたものをも包含する。

【0118】（実施例1、参考例1、2）本実施例では、図3の(a)、(b)に示す電子源を、図7の(a)～(d)に示す製造工程に従って作成した。尚、本実施例、及び、後述する参考例とも、同一基板上にそれぞれ6素子ずつ作成して、電子放出特性の再現性についても検討した。

【0119】1)まず、図1に示した電子源形成用基板を作成する。

【0120】青板ガラス(SiO₂:74%, Na₂O:12%, CaO:9%, K₂O:3%, MgO:2%)を良く洗浄し、CVD法により第1の層6を形成した。この第1の層6の材料はPSG(Phosphosilicate Glass(リンケイ酸ガラス))と呼ばれるリンドーブシリカガラスであり、常圧CVD法により、Pの濃度が7重量%となるように形成した。尚、使用したソースはTEOS(テトラエトキシシリカ(Si(OC₂H₅)₄))とTMOP(トリメトキシリン酸(PO(OCH₃)₃))である。また、この時の第1の層6の厚さは約3μmである。

【0121】続いてスパッタリング法により、SiO₂を主成分とし、SnO₂を含む第2の層7を形成した（図7(a)）。この時の第2の層の厚さは約100nmである。

【0122】尚、参考例1として、上記第1の層6及び上記第2の層7のいずれも形成していない青板ガラス基板を、また、参考例2として、上記第1の層6のみを形成した青板ガラス基板を、それぞれ用意した。

【0123】2)次に、以上の各電子源形成用基板上に表面伝導型電子放出素子を6素子ずつ形成する。まず、素子電極2、3を形成する。

【0124】上述の各電子源形成用基板上にフォトレジスト層を形成し、フォトリソグラフィー技術により、フォトレジスト層に素子電極の形状に対応する開口部を形成した。この上に、真空蒸着法により、Ti 5nm, Pt 100nmを成膜し、有機溶剤で上記フォトレジスト層を溶融除去し、リフトオフにより、素子電極2、3を形成した（図7(b)）。この時、図3の(a)にて示される、素子電極間隔Sは20μm、電極長さWは600μmとした。この後、各基板表面のシート抵抗値を測定したところ、本実施例ではおよそ2×10⁹Ω/□であった。また、参考例2では、10¹⁰Ω/□を超えるものであった。

【0125】3)次に、導電性膜4を形成する。まず、導電性膜のバターニングのためのマスクを形成するため、真空蒸着法により、膜厚50nmのCr膜を堆積し、フォトリソグラフィー技術により、導電性膜4の形状に対応する開口を形成、これに酢酸Pdモノエタノールアミン錯体の溶液をスピナーにより回転塗布、乾燥させた後、大気中で350°Cで10分間の加熱焼成処理を行い、PdOを主成分とする微粒子からなる導電性膜を形成、この後ウエットエッチングによりCrを除去して、リフトオフにより所望の形状の導電性薄膜4を得た（図7(c)）。

【0126】この後、上記各基板を図17に模式的に示した真空処理装置に設置した。

【0127】4)真空容器5内に圧力を1.3×10⁻⁴Pa程度とした後、電源51により素子電極2、3間にパルス電圧を繰り返し印加するフォーミング処理を行った。尚、フォーミング処理には図8(b)に示す、波高値の漸増するパルスを用い、T₁=1ms, T₂=10msとした。尚、上記のパルス間にパルス幅1ms、波高値0.1Vの矩形波パルスを挿入し、これにより素子電極2、3間に流れる素子電流I_fを電流計50を用いて測定する事により、素子電極間の抵抗値を検知した。検知される抵抗値が1MΩを超えた時点で、パルス電圧の印加を終了した。この処理により、導電性薄膜4に間隙5が形成された（図7(d)）。

【0128】5)続いて活性化処理を施した。活性化工程は、真空容器5内にアセトンの蒸気を導入、圧力を2.7×10⁻³Paとし、電源51により素子電極2、3間に波高値18Vの矩形波パルスを印加して行った。この処理により電流計50により検知される素子電流I_fの時間的な変化を測定したところ、本実施例、参考例

1, 2共に徐々に増加するもののその度合いには違いがあり、本実施例では約10分、参考例1では約30分、参考例2では約10分で素子電流 I_f は飽和した。このことから、参考例1と比べて、本実施例及び参考例2は、活性化の工程に要する時間が短くてよい事がわかる。この事は、本実施例及び参考例2において設けられている第1の層6により、青板ガラス1からのNaによる活性化の阻害が抑制されたためであると推測される。

【0129】6) 続いて、安定化工程を行った。真空容器5全体を、不図示のヒーターにより約200°Cに加熱して排気し、10時間後に、真空容器5内の圧力が*

* 8×10^{-9} Paとなった時点で真空容器を加熱するヒーターの電源を切り、室温に戻した後、作成した電子放出素子の電子放出特性を測定した。素子電極2, 3間に波高値18V、パルス幅1ms、パルス間隔10msの矩形波パルスを印加、アノード電極54の電位は1kV、電子放出素子とアノード電極の間隔Hは4mmとした。本実施例、参考例1, 2の各6素子について10分間駆動したところ、10分後の素子電流 I_f 及び放出電流 I_e の測定値は、以下の通りであった。

【0130】

【表1】

表1

	素子電流 I_f (mA)	放出電流 I_e (μA)
実施例1	2.7~3.1	4.7~5.0
参考例1	1.2~1.9	2.0~3.4
参考例2	2.6~3.1	4.5~4.9

更に、50時間の耐久評価を行った。この時の測定条件は、素子電極2, 3間に印加される電圧が波高値17V、パルス幅1ms、パルス間隔10msの矩形波パルスであり、アノード電極54の電位は2kV、電子放出素子とアノード電極の間隔Hは4mmである。

なお、素子電流 I_f と放出電流 I_e は、30秒ごとに測定した。評価項目は、素子電流 I_f について、(最大※

※値-最小値)/平均値) × 100 (%) で定義される素子電流化率と、放出電流 I_e について、(最大値-最小値)/平均値) × 100 (%) で定義される放出電流変化率の2項目である。結果は以下の通りである。

【0131】

【表2】

表2

	素子電流変化率 (%)	放出電流変化率 (%)
実施例1	1.5~2.0	1.6~2.2
参考例1	25~33	28~35
参考例2	1.6~2.9	5.5~8.0

表1、表2、及び上述の活性化時の特性より、本実施例は、以下の特徴を満足するものである事が示された。

【0132】1. 参考例1と比べて、活性化に要する時間を短縮可能である。

【0133】2. 参考例1と比べて、素子電流 I_f 、放出電流 I_e が大きく、また、再現性もよい。

【0134】3. 参考例1と比べて、素子電流変化率、放出電流変化率が小さく、安定性に優れている。

【0135】4. 参考例2と比べて、放出電流変化率が小さく、安定性に優れている。

【0136】(実施例2乃至4) 次に、実施例1と同様に、図3の(a), (b)に示す表面伝導型電子放出素子を用いた電子源を、図7の(a)~(d)に示す製造工程に従って作成した。各実施例とも、同一基板上に6素子ずつ作成して、電子放出特性の再現性についても検討した。尚、実施例2乃至4の電子源形成用基板は、第1の層6を常圧CVD法で形成する点は実施例1と同じであるが、第1の層6の材料が異なり、実施例2はSiO₂を主成分としてBを含むいわゆるBSGであり、Bの濃度が約4重量%である。また、実施例3はSiO₂、

を主成分としてBとPの両方を含むいわゆるBPSGであり、Bの濃度が約2.5重量%、Pの濃度が約7重量%である。また、実施例4はSiO₂を主成分としてGeとPの両方を含むいわゆるGPSGであり、Geの濃度が約4重量%、Pの濃度が約7.5重量%である。

尚、実施例2乃至4の第一の層6の厚さは全て約3μmである。

【0137】第2の層7は実施例1と同様にスパッタリング法により、SiO₂を主成分とし、SnO₂を含む約100nmの厚さの膜で構成されている。

【0138】実施例1と同様に、素子電極を形成後、各基板表面のシート抵抗を測定したところ、実施例2乃至4の全てが 1×10^3 ~ 3×10^3 Ω/□であった。

【0139】まず、活性化に要した時間であるが、実施例2乃至4の全てで約10分で素子電流 I_f が飽和し、実施例1と酷似するものであった。

【0140】次に、電子放出素子の電子放出特性を測定した。素子電極2, 3間に波高値18V、パルス幅1ms、パルス間隔10msの矩形波パルスを印加、アノード電極54の電位は1kV、電子放出素子

27

とアノード電極の間隔Hは4mmとした。実施例2乃至4の各6素子に関して10分間駆動したところ、10分後の素子電流If及び放出電流Ieの測定値は、以下の*【表3】

表3

	素子電流If (mA)	放出電流Ie (μ A)
実施例2	2.6~3.2	4.5~5.0
実施例3	2.7~3.2	4.4~4.8
実施例4	2.8~3.4	4.6~5.2

更に、50時間の耐久評価を行った。この時の測定条件は、素子電極2, 3間に印加電圧が波高値17V、パルス幅1ms、パルス間隔10msの矩形波パルスであり、アノード電極5, 4の電位は2kV、電子放出素子とアノード電極の間隔Hは4mmである。なお、素子電流Ifと放出電流Ieは、30秒ごとに測定した。評価項目は、素子電流Ifについて、{(最大値-*

10※最小値)/平均値) × 100(%)で定義される素子電流変化率と、放出電流Ieについて{(最大値-最小値)/平均値) × 100(%)で定義される放出電流変化率の2項目である。結果は以下の通りである。

【0142】

【表4】

表4

	素子電流変化率 (%)	放出電流変化率 (%)
実施例2	1.7~2.1	1.7~2.3
実施例3	1.5~2.1	1.5~2.3
実施例4	1.6~2.2	1.7~2.4

これらの結果からわかるように、実施例1と同様に、本実施例2~4の電子源はいずれも、活性化に要する時間が短く、更には、放出電流が大きいとともに素子電流変化率及び放出電流変化率も小さく、安定性に優れている。

【0143】(実施例5乃至8) 次に、実施例1と同様に、図3の(a), (b)に示す表面伝導型電子放出素子を用いた電子源を、図7の(a)~(d)に示す製造工程に従って作成した。各実施例とも、同一基板上に6素子ずつ作成して、電子放出特性の再現性についても検討した。尚、実施例5乃至8はいずれも、第1の層6が常圧CVD法により形成された、Pの濃度が約7重量%である厚さが約3μmのPSGである点では同じであるが、第2の層の材料及び形成方法が異なる。

【0144】実施例5は、第2の層の材料として、SiO₂を主体とし、Inを含むものであり、厚さは約50nmで、CVD法で形成した。尚、Inソースとしては、In(C₂H₅)₃を使用した。

【0145】実施例6は、第2の層の材料として、SiO₂を主体とし、Snを含むものであり、厚さは約50nmで、CVD法で形成した。尚、Snソースとしては、(CH₃)₂Snを使用した。

【0146】実施例7は、第2の層の材料として、SiO₂を主体とし、Sbを含むものであり、厚さは約100nmで、スパッタリング法で形成した。

【0147】実施例8は、第2の層の材料として、SiO₂を主体とし、Reを含むものであり、厚さは約100nmで、スパッタリング法で形成した。

【0148】まず、各実施例の上記電子源形成用基板に素子電極を形成した段階で、基板表面のシート抵抗値の測定を行った。以下にその結果を示す。

【0149】

【表5】

表5

	シート抵抗値 (Ω/□)
実施例5	3×10^{-9}
実施例6	8×10^{-8}
実施例7	2×10^{-9}
実施例8	6×10^{-8}

表5から、実施例5乃至8の全てのシート抵抗値が10⁻⁸~10⁻⁹Ω/□であることがわかる。

【0150】次に、活性化に要した時間であるが、実施例5乃至8の全てで約10~15分で素子電流Ifが飽和し、先述した参考例1と比べて短いものであった。また、素子電流Ifは概ね実施例1と同様の時間変化を示すものであった。

【0151】次に、電子放出素子の電子放出特性を測定した。素子電極2, 3間に波高値18V、パルス幅1ms、パルス間隔10msの矩形波パルスを印加、アノード電極5, 4の電位は1kV、電子放出素子とアノード電極の間隔Hは4mmとした。実施例5乃至8の各6素子に関して10分間駆動したところ、10分後の素子電流If及び放出電流Ieの測定値は、以下の通りであった。

50 【0152】

【表6】

表6

	素子電流 I_f (mA)	放出電流 I_e (μA)
実施例 5	2.5~3.3	4.4~5.0
実施例 6	2.6~3.4	4.7~5.2
実施例 7	2.7~3.3	4.5~5.1
実施例 8	2.6~3.1	4.3~4.9

更に、50時間の耐久評価を行った。この時の測定条件は、素子電極2、3間への印加電圧が波高値17V、パルス幅1msec、パルス間隔10msecの矩形波パルスであり、アノード電極5.4の電位は1kV、電子放出素子とアノード電極の間隔はHは4mmである。なお、素子電流 I_f と放出電流 I_e は、30秒ごとに測定した。評価項目は、素子電流 I_f について、 $(\text{最大値} - \text{最小値}) / \text{平均値} \times 100$ (%)で定義される素子電流変化率と、放出電流 I_e について $(\text{最大値} - \text{最小値}) / \text{平均値} \times 100$ (%)で定義される放出電流変化率の2項目である。結果は以下の通りである。

【0153】

【表7】

表7

	素子電流変化率 (%)	放出電流変化率 (%)
実施例 5	1.9~2.2	2.0~2.5
実施例 6	1.5~2.0	1.7~2.4
実施例 7	1.7~2.1	2.3~2.8
実施例 8	1.7~2.2	2.1~2.6

これらの結果からわかるように、実施例1と同様に、本実施例5~8の電子源はいずれも、活性化に要する時間が短く、更には、放出電流が大きいとともに素子電流変化率及び放出電流変化率も小さく、安定性に優れている。

【0154】(実施例9) 本実施例として、図4の(a), (b)に示す表面伝導型電子放出素子を用いた電子源を、作成した。尚、表面伝導型電子放出素子は以下の基板上に6素子作成して、電子放出特性の再現性についても検討した。

【0155】1)まず、図2に示した電子源形成用基板を作成する。

【0156】高歪み点ガラス(SiO₂: 5.8%, Na₂O: 4%, K₂O: 7%, を含む)を良く洗浄し、リンをドープして抵抗調整したSnO₂微粒子と有機珪素化合物の混合溶液をスピンドルコートして乾燥させた。さらに、有機珪素化合物のみの溶液をスピンドルコートした後、オーブンで500°C、30minの焼成を行なった。この結果、高歪み点ガラス基板上に、リンをドープして抵抗調整したSnO₂微粒子とSiO₂が重量比80:20の第2の層が厚さ300nmで形成され、さらにその上層として、SiO₂からなる第1の層が厚さ60nmで形成された。

【0157】2)次に、上記電子源形成用基板上に、図7の(b)~(d)にて示されるようにして表面伝導型電子放出素子を6素子形成する。まず、素子電極2、3を形成する。

【0158】上述の基板上にフォトレジスト層を形成

* - 最小値) / 平均値) × 100 (%) で定義される素子電流変化率と、放出電流 I_e について $(\text{最大値} - \text{最小値}) / \text{平均値} \times 100$ (%) で定義される放出電流変化率の2項目である。結果は以下の通りである。

【0153】

【表7】

し、フォトリソグラフィー技術により、フォトレジスト層に素子電極の形状に対応する開口部を形成した。この上に、真空蒸着法により、Ti 5 nm, Pt 100 nmを成膜し、有機溶剤で上記フォトレジスト層を溶解除去し、リフトオフにより、素子電極2、3を形成した(図7の(b))。この時、図4の(a)に示される、素子電極間隔Lは20μm、電極長さWは600μmとした。この後、基板表面のシート抵抗値を測定したところ、およそ $2 \times 10^{12} \Omega/\square$ であった。

【0159】3) 次に、導電性膜4を形成する。まず、導電性膜のバーニングのためのマスクを形成するため、真空蒸着法により、膜厚50nmのCr膜を堆積し、フォトリソグラフィー技術により、導電性膜4の形状に対応する開口を形成、これに酢酸Pdモノエタノールアミン錯体の溶液をスピンドルにより回転塗布、乾燥させた後、大気中で350°Cで10分間の加熱焼成処理を行い、PdOを主成分とする微粒子からなる導電性膜を形成、この後ウエットエッティングによりCrを除去して、リフトオフにより所望の形状の導電性薄膜4を得た(図7の(c))。

【0160】この後、上記基板を図4に模式的に示した真空処理装置に設置した。

【0161】4) 真空容器5内での圧力を 1.3×10^{-6} Pa程度とした後、電源5.1により素子電極2、3間にパルス電圧を繰り返し印加するフォーミング処理を行なった。尚、フォーミング処理には図8の(b)に示す、波高値の漸増するパルスを用い、 $T_1 = 1 \text{ msec}$, $T_2 = 10 \text{ msec}$ とした。尚、上記のパルス間にパルス

幅1 m s、波高値0.1 Vの矩形波パルスを挿入し、これにより素子電極2、3間に流れる素子電流I_fを電流計50を用いて測定する事により、素子電極間の抵抗値を検知した。検知される抵抗値が1 MΩを超えた時点で、パルス電圧の印加を終了した。この処理により、導電性薄膜4に間隙5が形成された(図7の(d))。

【0162】5) 続いて活性化処理を施した。活性化工程は、真空容器55内にアセトンの蒸気を導入、圧力を 2.7×10^{-3} Paとし、電源51により素子電極2、3間に波高値18 Vの矩形波パルスを印加して行った。この処理により電流計50により検知される素子電流I_fの時間的な変化を測定したところ、約10分で飽和した。

【0163】6) 続いて、安定化工程を行った。真空容器55全体を、不図示のヒーターにより約200°Cに加熱して排気し、10時間後に真空容器55内の圧力が 8×10^{-6} Paとなった時点で真空容器を加熱するヒーターの電源を切り、室温に戻した後、作成した電子放出素子の電子放出特性を測定した。素子電極2、3間には、波高値18 V、パルス幅1 m s e c、パルス間隔10 m s e cの矩形波パルスを印加、アノード電極54の電位は1 kV、電子放出素子とアノード電極の間隔Hは4 mmとした。本実施例の6素子に関して10分間駆動したところ、10分後の素子電流I_fは2.5~3.1 mA、放出電流I_eの測定値は4.5~5.1 μAであった。

【0164】更に、50時間の耐久評価を行った。この時の測定条件は、素子電極2、3間に印加される電圧が波高値17 V、パルス幅1 m s e c、パルス間隔10 m s e cの矩形波パルスであり、アノード電極54の電位は2 kV、電子放出素子とアノード電極の間隔Hは4 mmである。なお、素子電流I_fと放出電流I_eは、30秒ごとに測定した。評価項目は、素子電流I_fについて、((最大値-最小値)/平均値) × 100 (%)で定義される素子電流化率と、放出電流I_eについて((最大値-最小値)/平均値) × 100 (%)で定義される放出電流変化率の2項目で、それぞれ、1.3~1.8%、1.4~1.9%であった。

【0165】以上の特性より、本実施例は、活性化に要する時間が短く、素子電流I_f、放出電流I_eが大きく、また、再現性、安定性に優れていた。

【0166】(実施例10) 本実施例においては、図1にて示された電子源形成用基板上に、図3の(a)及び(b)に示すと同様の構成の表面伝導型電子放出素子の複数を、図18に模式的に示すように配置し、さらにマトリクス状配線を配置した電子源を、以下に示す手順により作成した。尚、図では、構造をわかりやすくするために部材の一部を消去してある。図19の(a)~(e)を参照しながら、製造方法を説明する。

【0167】[工程1] 実施例1と同様の組成の青板が

ラスを洗剤と純水により洗浄した後、CVD法により第1の層を形成した。この第1の層の材料はPSGであり、CVD法により、Pの濃度が7重量%となるように形成した。尚、この際使用したソースガスはTEOSとTMOPである。また、第1の層の厚さは約3 μmになるよう形成した。

【0168】[工程2] 工程1に連続して、PのソースであるTMOPの供給を停止し、Snソースである(C_H₃)_nを追加導入し、第2の層を形成した。この時の第2の層の厚さは、約50 nmである。この工程においてはS_iO_xとSnO_yの混合層が形成される。

【0169】[工程3] 以上の中程1及び2にて作成された図1に示された電子源形成用基板71上に、図3の(a)、(b)にて示された表面伝導型電子放出素子の一対の素子電極2、3を形成する。

【0170】まず、上記基板71上にスクリーン印刷法により、素子電極2、3の形状のMODペースト(DU-2110; ノリタケ(株)製)のパターンを形成した。該MODペーストは金属成分として、金を含むものである。

【0171】印刷後、110°Cで20分乾燥し、次いで熱処理装置によりピーク温度580°Cピーク保持時間8分間の条件で上記MODペーストを焼成し、厚さ0.3 μmの素子電極2、3を形成した。素子電極間隔は70 μmとした(図19の(a))。

【0172】[工程4] 次いで、金属成分として銀を含むペースト材料(NP-4028A; ノリタケ(株)製)を用い、スクリーン印刷法により下配線73のパターンを形成し、工程3と同様の条件で焼成して下配線(列方向配線)73を形成した(図19の(b))。

【0173】[工程5] 次に、PbOを主成分とするペーストを用い、層間絶縁層74のパターンを印刷して工程3と同様の条件で焼成し、層間絶縁層74を形成した(図19の(c))。該層間絶縁層は素子電極2、3の一方と、後の工程で形成する上配線(行方向配線)とが接続されるよう、切り欠き部分を有している。

【0174】[工程6] 工程4と同様の方法で、上配線(行方向配線)72を形成し(図19の(d))。複数の下配線(列方向配線)73及び複数の上配線(行方向配線)72からなるマトリクス配線を形成した。本工程を終了後、基板71表面のシート抵抗値の測定を行ったところ、場所によって若干異なるが $2 \times 10^3 \sim 5 \times 10^3 \Omega/\square$ 程度であった。

【0175】[工程7] 次いで、上記各一对の素子電極2、3間に、導電性薄膜4を形成した。有機バラジウム含有溶液を、パブルジェット方式のインクジェット噴射装置を用いて、幅が200 μmとなるよう付与して行った。その後350°Cで10分間の加熱処理を行って、酸化バラジウム微粒子から成る導電性膜4を得た(図19の(e))。

【0176】[工程8] 図10のように、上記工程1乃至7で製造した基板71とリアプレート81、フェースプレート86(ガラス基板83の内面に蛍光膜84、メタルバック85が形成されている)、支持枠82を組み合わせて接合した。尚、外囲器内に不図示であるが高周波加熱用ゲッタが配置されており、同じく不図示であるが外囲器内の雰囲気を制御するための排気管が外囲器内に取り付けられている。接合は、接合部にフリットガラスを塗布し、大気中で450°C 10分間の加熱処理を行う事により行った。

【0177】本実施例で用いた蛍光膜84は、図11の(a)に模式的に示すような、蛍光体92をストライプ形状に配置したもので、まず黒色部材91となるブラックストライプを形成し、その間に3原色に対応する蛍光体92を形成したものである。黒色部材の材質は通常良く用いられる黒鉛を主成分とするものであり、蛍光体の塗布はスラリー法を用いた。

【0178】蛍光膜上にはメタルバック85を設ける。本実施例では、蛍光膜表面を平滑化処理(通常フィルミングと呼ばれる)した後、A1を真空蒸着する事により形成した。なお、導電性を向上させるため、蛍光膜84とガラス基板83の間に透明電極を設ける場合もあるが、本実施例では上記構成により充分導電性が得られたので、透明電極は設けていない。

【0179】上記の接合を行なう際、蛍光体と電子源の電子放出素子の位置を厳密に対応させる必要があるため、注意深く位置あわせを行なった。

【0180】[工程9] 上記工程において、フェースプレート86、リアプレート81と支持枠82により構成された外囲器88の内部を排気管(不図示)を通じて排気装置(主ポンプとして油抜散ポンプを使用)により排気し、圧力を 1.3×10^{-4} Pa以下にまで下げた後、行方向配線72及び列方向配線73を通じて複数の一対の素子電極2、3間に実施例1乃至9と同様にパルス電圧を印加する事により複数の導電性膜4の各々に図3の(a)、(b)に示された間隙5の形成を行なった。この処理は行方向配線の一本に接続された素子の行毎に行い、1素子あたりの抵抗値が1MΩを超えたところで、その行の処理を終了し、次の行に移る。これを繰り返してすべての素子の処理を行なった。

【0181】[工程10] 続いて、波高値が20Vの矩形波パルス電圧を各素子行に順次印加する事を繰り返して、活性化処理を行なった。排気装置に油抜散ポンプを用いている事により、外囲器内に有機物質が存在し、活性化処理が行われる。次いで、排気装置を主ポンプに磁気浮上型ターボポンプを用いたものに切り替えて、外囲器全体を加熱しながら排気する事により、安定化処理を行い、高周波加熱法によるゲッタ処理を行なった後、排気管を加熱、融着して封じ切った。

【0182】上記工程を終了後、各素子行に波高値20

Vパルス電圧を1分間ずつ印加し、各素子行の電子放出特性を測定した。なお、支持枠高さ3mmで、アノード電圧は1kVである。その結果、各素子行の電子放出量は4%程度のばらつきで非常に均一なものであった。

【0183】統いて、全面を白色表示させ、輝度分布を観察したところ、輝度均一性に優れるものである事が確認された。また、輝度分布の時間的な変動を観察したところ、行方向配線に平行な輝度分布の変動は5%程度に収まっている、きわめて良好な結果が得られた。これは電子放出素子が形成されている基板表面のシート抵抗値が制御されているため、電子ビームの変動を効果的に抑制しているためであると思われる。

【0184】この状態で10時間点燈表示させて、定期的に定点で輝度を測定したところ、おむね5%程度の変化しか生じておらず、きわめて安定した特性を維持する事が出来た。

【0185】(実施例11) 本実施例は、実施例10における工程2を下記の工程2'に変更した以外は構成、製法とも実施例10と同様の手順で製造した。

20 【0186】[工程2'] 工程1に連続して、InソースであるIn(C_xH_y)_zを追加導入し、第2の層を形成した。この時の第2の層の厚さは、約50nmである。この工程においてはPSGとIn₂O₃の混合層が形成される。

【0187】実施例10と同様に基板表面のシート抵抗値を測定したところ、 $8 \times 10^9 \sim 2 \times 10^{10} \Omega/\square$ 程度であった。次に、実施例10と同様の評価を行なったところ、概ね実施例10と同様の特性を示し、大変好ましい結果が得られた。

30 【0188】(実施例12) 本実施例は、実施例10における工程1及び2を下記の工程1'に変更した以外は実施例10と同様の手順で、図2に示された電子源形成用基板に、図18に示されるように複数の表面伝導型電子放出素子がマトリクス内蔵された電子源を製造した。

【0189】[工程1'] まず、図2に示した電子源形成用基板を作成する。

【0190】高歪み点ガラス(SiO₂: 58%, Na₂O: 4%, K₂O: 7%, を含む)を良く洗浄し、リンをドープして抵抗調整したSnO₂微粒子と有機珪素化合物の混合溶液をスピンドルコートして乾燥させた。さらに、有機珪素化合物のみの溶液をスピンドルコートした後、オーブンで500°C、30minの焼成を行なった。この結果、高歪み点ガラス基板上に、リンをドープして抵抗調整したSnO₂微粒子とSiO₂が重複比80:20の第2の層が厚さ300nmで形成され、さらにその上層として、SiO₂からなる第1の層が厚さ60nmで形成された。

40 【0191】上記電子源形成用基板上に、実施例10の工程3以降を同様に施し、図18に示されるような電子源、及びこれを用いた図10に示されるような画像形成

装置を作成した。

【0192】本実施例の電子源及び画像形成装置もまた、上記実施例10及び11と同様の効果を得ることができた。

【0193】

【発明の効果】以上説明したように、本発明により次のような効果が得られる。

【0194】本発明は、電子放出素子の電子放出特性の経時的变化が低減される電子源形成用基板及びその製造方法を提供することができる。

【0195】また、本発明は、電子放出素子の電子放出特性の経時的变化が低減された電子源とその電子源を用いた画像形成装置、更には、それらの製造方法を提供することができる。

【0196】また、本発明は、複数の電子放出素子間での電子放出特性のばらつきが低減される電子源形成用基板及びその製造方法を提供することができる。

【0197】また、本発明は、複数の電子放出素子間での電子放出特性のばらつきが低減された電子源とその電子源を用いた画像形成装置、更には、それらの製造方法を提供することができる。

【0198】また、本発明は、輝度ばらつきが低減された画像形成装置を提供することができる。

【0199】また、本発明は、輝度の経時的变化が低減された画像形成装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の電子源形成用基板の一例を示す模式的断面図

【図2】本発明の電子源形成用基板の別の例を示す模式的断面図

【図3】本発明の電子源の一例を示す模式図であり、(a)は平面図、(b)は断面図

【図4】本発明の電子源の別の例を示す模式図であり、(a)は平面図、(b)は断面図

【図5】本発明の電子源に適用される表面伝導型電子放出素子の一例を示す模式的部分拡大図であり、(a)は平面図、(b)は断面図

【図6】本発明の電子源に適用される表面伝導型電子放出素子の別の例を示す模式的部分拡大図であり、(a)は平面図、(b)は断面図

【図7】本発明に関する電子源の製造手順を説明するための模式図

【図8】本発明に関する電子源の製造に用いるパルス電圧波形の模式図

【図9】本発明の電子源の構成を示す模式図

【図10】本発明の画像形成装置の構成を示す模式図

【図11】本発明の画像形成装置に用いる蛍光膜の構成を示す模式図

【図12】駆動回路の一例を示すブロック図

【図13】画像形成装置の製造に用いる装置の概要を示す模式図

す模式図

【図14】本発明の画像形成装置の、フォーミング、活性化工程のための結線方法を示す模式図

【図15】本発明の電子源の別の構成を示す模式図

【図16】本発明の画像形成装置の別の構成を示す模式図

【図17】測定評価機能を備えた真空処理装置の一例を示す模式図

【図18】本発明の電子源の更に別の構成を示す模式図

【図19】図14の構成の電子源の製造手段を説明するための模式図

【符号の説明】

1 基体(の本体)

2, 3 素子電極

4 導電性薄膜

5 電子放出部

6 第一の層

7 第二の層

50 素子電極2・3間に導電性薄膜4を流れる素子電

流Ifを測定するための電流計

51 電子放出素子に素子電圧Vfを印加するための電源

52 放出電流Ieを測定するための電流計

53 アノード電極54に電圧を印加するための高圧電源

54 素子の電子放出部より放出される放出電流Ieを捕捉するためのアノード電極

55 真空装置

56 排気装置

30 71 基板

72 X方向配線

73 Y方向配線

75 結線

76 電子放出素子

81 リアプレート

82 支持枠

83 (フェースプレート)のガラス基板

84 蛍光膜

85 メタルパック

40 86 フェースプレート

88 外囲器

91 黒色導電材

92 蛍光体

101 画像形成装置

102 走査回路

103 制御回路

104 シフトレジスタ

105 ラインメモリ

106 同期信号分離回路

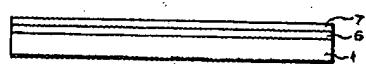
50 107 变调信号発生回路

- 110 基板
 111 電子放出素子
 112 共通配線
 120 グリッド電極
 121 電子が通過するため空孔
 122 共通配線と接続された容器外端子
 123 グリッド電極と接続された容器外端子
 131 画像表示装置
 132 排気管
 133 真空チャンバー
 134 ゲートバルブ

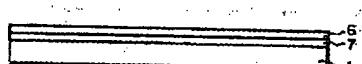
- *135 排気装置
 136 圧力計
 137 四重極質量分析器
 138 ガス導入ランプ
 139 導入量制御手段
 140 導入物質源
 141 共通電極
 142 電源
 143 電流測定用抵抗
 10 144 オシロスコープ

*

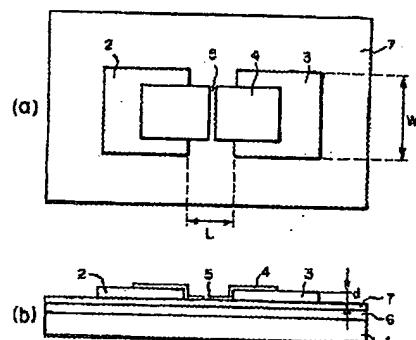
【図1】



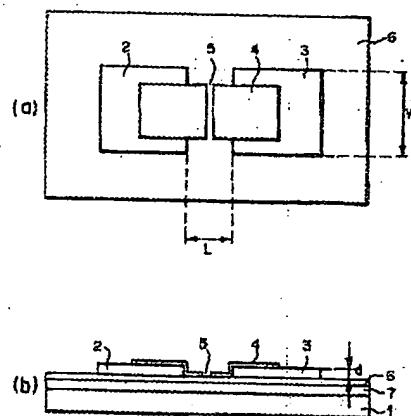
【図2】



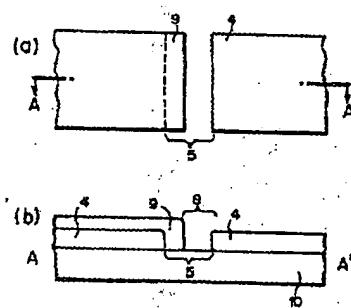
【図3】



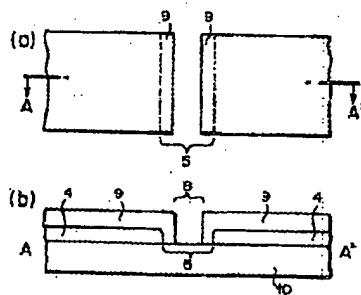
【図4】



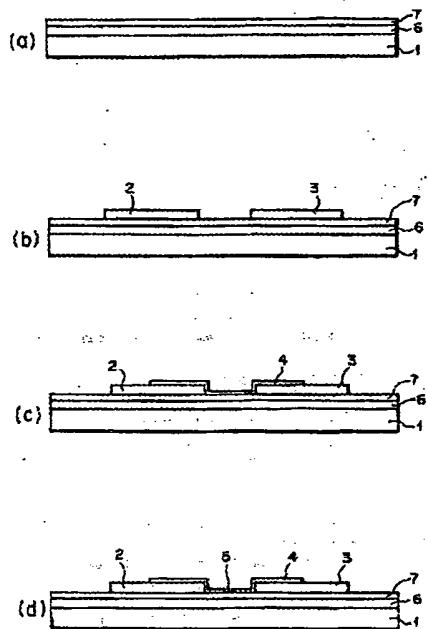
【図5】



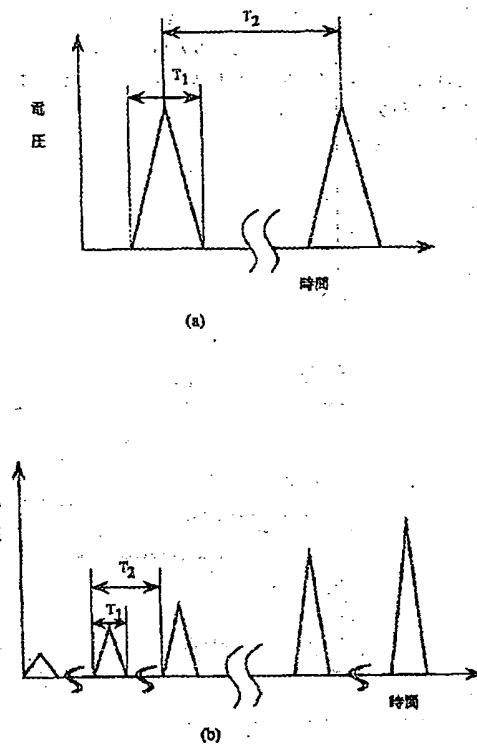
【図6】



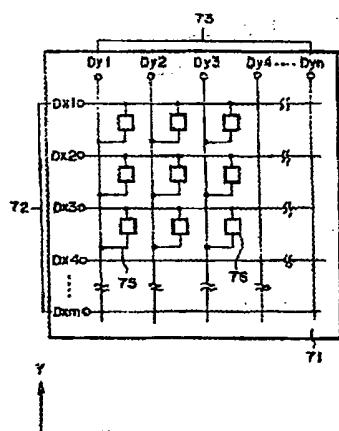
【図7】



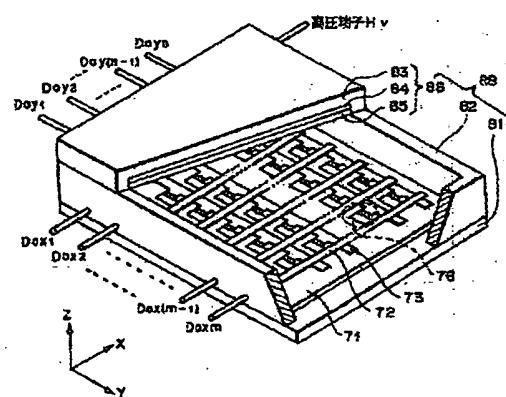
【図8】



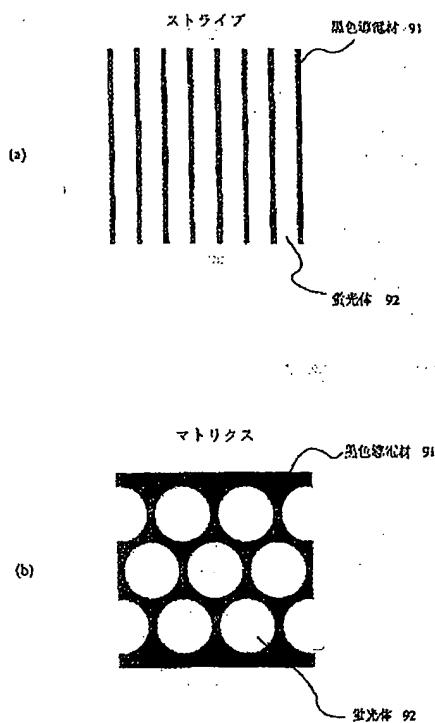
【図9】



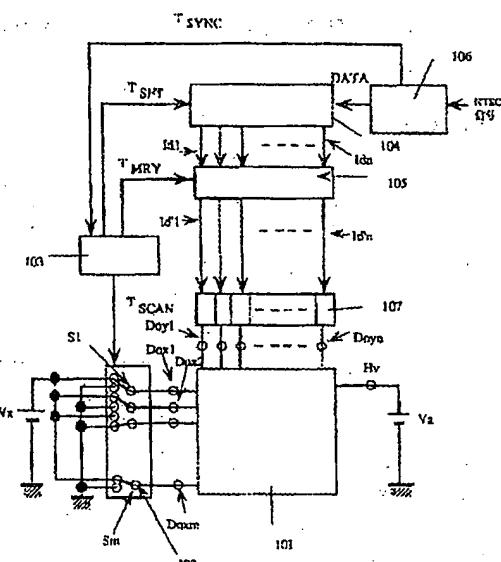
【図10】



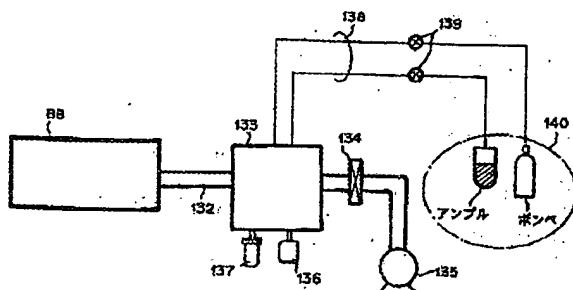
【図11】



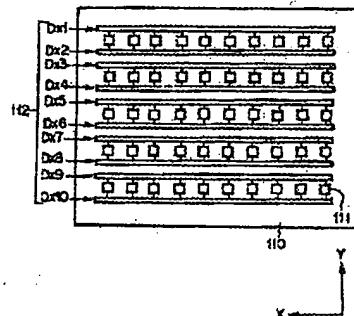
【図12】



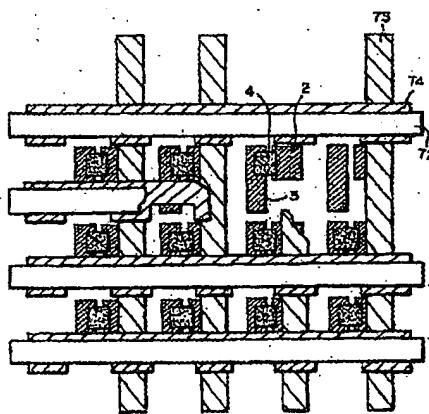
【図13】



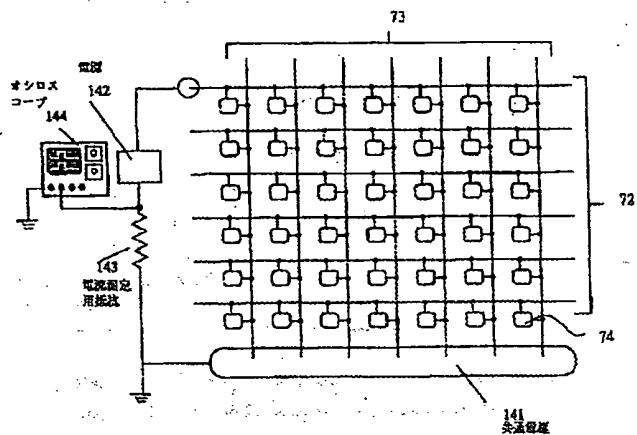
【図15】



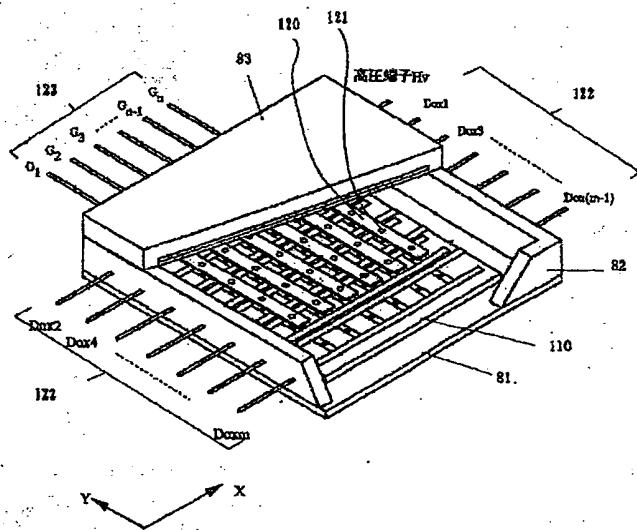
【図18】



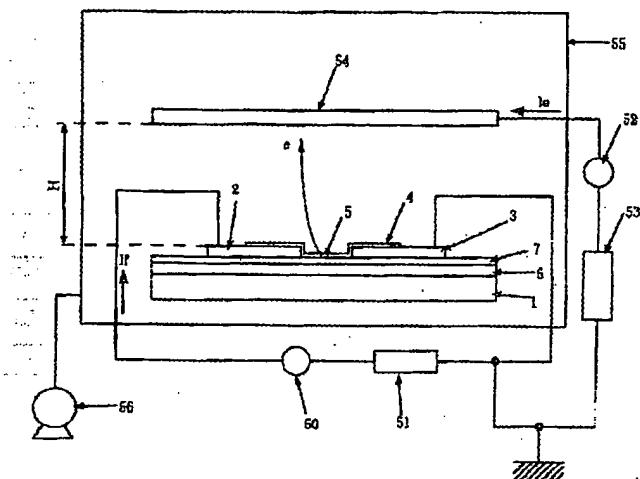
【図14】



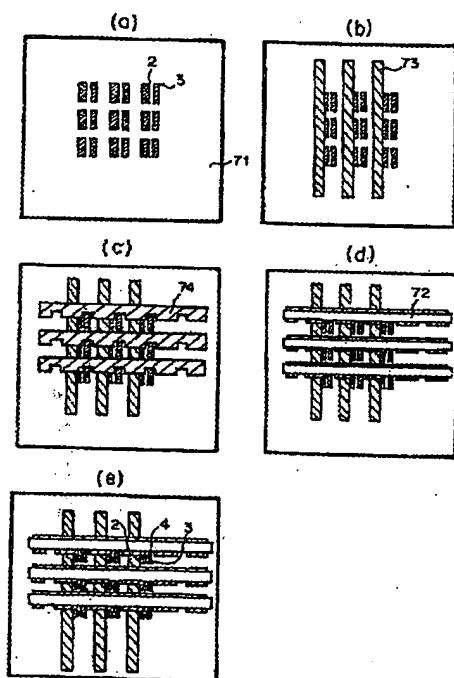
【図16】



【図17】



【図19】



フロントページの続き

(56)参考文献 特開 平9-27285 (JP, A)
特開 平9-22668 (JP, A)
特開 平6-267461 (JP, A)
特開 平10-241550 (JP, A)
特許2630983 (JP, B2)
特許2630988 (JP, B2)

(58)調査した分野(Int.Cl., DB名)
H01J 1/316
H01J 9/02
H01J 29/04
H01J 31/12